



SN8P2501 8-Bit Micro Controller

使用注意事項

Date: 2003/12/02



MANUAL REVISION HISTORY

Version	Date	Description
VER 1.0	Dec. 2003	First issue.

SN8P2501 使用注意事項

適用對象: 客戶或代理商

SN8P2501 為 SONiX 新開發的 14 pin、1T (one clock per machine cycle) 8-bit MCU，內建 16MHz RC 震盪器，最多有 12 I/O 可用，並具備優異的抗雜訊能力。在系統開發階段，軟、硬體注意事項請參考下文敘述，開發軟件請用“SN8IDE V1.99I”或之後版本。(註：包裝正印 SN8PEV2501 為工程樣品，程式宣告一樣為 CHIP SN8P2501)。

1 CODE OPTION :

Code Option	Content	Function Description
High_Clk	Ext_RC	Low cost RC for external high clock oscillator and XOUT becomes to general purpose I/O (P1.2).
	32K_X'tal	Low frequency, power saving crystal (e.g. 32.768KHz) for external high clock oscillator.
	12M_X'tal	High speed crystal /resonator (e.g. 12MHz) for external high clock oscillator.
	4M_X'tal	Standard crystal /resonator (e.g. 3.58M) for external high clock oscillator.
	IHRC_16M	Internal high RC 16MHz and external oscillator pins as general purpose I/O (XIN to P1.3, XOUT to P1.2).
	IHRC_RTC	Internal high RC 16MHz with RTC function and external oscillator pins connect with 32.768KHz crystal to generating real time clock.
Noise_Filter	Enable	Enable noise filter to enhance noise immunity performance.
	Disable	Disable noise filter.
Watch_Dog	Always_On	Watchdog timer always on.
	Disable	Disable Watchdog function.
Fcpu	Fosc/1	Instruction cycle is oscillator clock.
	Fosc/2	Instruction cycle is 2 oscillator clocks.
	Fosc/4	Instruction cycle is 4 oscillator clocks.
	Fosc/8	Instruction cycle is 8 oscillator clocks.
	Fosc/16	Instruction cycle is 16 oscillator clocks.
	Fosc/32	Instruction cycle is 32 oscillator clocks.
	Fosc/64	Instruction cycle is 64 oscillator clocks.
16M_IHRC	-2MHz	Internal high RC 16MHz typical frequency - 2MHz.
	-1MHz	Internal high RC 16MHz typical frequency -1MHz.
	Normal	Internal high RC 16MHz typical frequency.
	+1MHz	Internal high RC 16MHz typical frequency + 1MHz.
	+2MHz	Internal high RC 16MHz typical frequency + 2MHz.
Reset_Pin	Reset	Enable External reset pin.
	P11	Disable External reset pin and the pin is as input only pin P1.1 without pull-up resister.
Security	Enable	Enable ROM code Security function.
	Disable	Disable ROM code Security function.
Low Power	Enable	Enable Low Power function to save Operating current.
	Disable	Normal.

1.1 Fcpu code option :

SN8P2501 為 1T 的 MCU，這表示一個指令週期僅需一個系統時鐘 (one clock per machine cycle)，Fosc 表示系統時鐘 (system clock)，Fcpu 表示指令週期，透過 Fcpu code option 可設定 Fcpu 為 “Fosc/1~Fosc/64”。

注意：

- 當 Noise_Filter code option Enable 或 Low_Power Enable 時，Fcpu 可設定範圍被限制在 “Fosc/4~Fosc/64”，如下表所列：

Fcpu		Noise_Filter	
		Enable	Disable
Low_Power	Enable	Fosc/4~Fosc/64	Fosc/4~Fosc/64
	Disable	Fosc/4~Fosc/64	Fosc/1~Fosc/64

- 要求高速運行而且沒有抗干擾或者省電需求者，請同時 Disable Noise_Filter 和 Low_Power 並選擇 Fcpu = Fosc/1。
- Fcpu code option 只對 High Clock 有用。

1.2 Noise Filter code option :

當有高抗干擾 (High EFT) 需求時一定要 **Enable Noise_Filter**，能有效降低外部雜訊對系統造成的影響。請注意當 Noise Filter 設置為 Enable 時，Fcpu 範圍是 Fosc/4~Fosc/64，而且此時 assembler 會強制自動 Disable Low_Power。

1.3 Low Power :

在 要求低操作電流時必須 Disable Noise_Filter，並 Enable Low_Power，以符合省電需求性高的可攜性電池系統應用。請注意當 Low Power 設置為 Enable 時，Fcpu 範圍是 Fosc/4~Fosc/64。另外，Low_Power code option 對 “High_Clk = 32K_X'tal” 或者 Slow mode (系統時鐘為內建 low RC) 無效。

1.4 Watchdog 操作注意事項：

SN8P2501 的 Watchdog 若選擇 Always On，在 Sleep Mode (或 Green Mode) 下，Watchdog Timer 不會停止，此時若 Watchdog Timer Overflow 將會重置(Reset)系統，這導致系統無法持續處於 Sleep Mode (或 Green Mode)。此設計的用意是針對高干擾環境，無省電需求的應用場合，讓 Watchdog 作為系統的最後一道防線，但不適用於低待機電流要求的應用。

請注意：下一版會將 Watchdog Timer 改良為 Disable, Enable 與 Always On 三種操作模式，同時兼顧 AC 高干擾與 DC 省電兩種應用，提供使用者更廣泛的應用領域。

2 BIT TEST I/O :

SN8P2501 使用 B0BTS0, B0BTS1, BTS0, BTS1 I/O 腳位，同時與中斷並存時會發生錯誤，影響程式正常執行，提供下列巨集程式避免錯誤，保留 Bit Test 指令 Skip 功能，此問題將在晶片改版時修正。

2.1 @B0BTS0 巨集程式：

語法：**@B0BTS0 port, pin**

port：I/O port 位置，設置數值為 P0, P1, P2, P5。

pin：I/O port 腳位位置，

程式：

```

@B0BTS0      MACRO  port, pin
    IF pin == 0
        B0MOV      A, port
        AND         A, #00000001B
        B0BTS1     FZ
    ELSEIF pin == 1
        B0MOV      A, port
        AND         A, #00000010B
        B0BTS1     FZ
    ELSEIF pin == 2
        B0MOV      A, port
        AND         A, #00000100B
        B0BTS1     FZ
    ELSEIF pin == 3
        B0MOV      A, port
        AND         A, #00001000B
        B0BTS1     FZ
    ELSEIF pin == 4
        B0MOV      A, port
        AND         A, #00010000B
        B0BTS1     FZ
    ELSEIF pin == 5
        B0MOV      A, port
        AND         A, #00100000B
        B0BTS1     FZ
    ELSEIF pin == 6
        B0MOV      A, port
        AND         A, #01000000B
        B0BTS1     FZ
    ELSEIF pin == 7
        B0MOV      A, port
        AND         A, #10000000B
        B0BTS1     FZ
    ELSE
        ECHO        <@B0BTS0 MACRO Error: Invalid pin value for SN8P2501.>
        ERROR
    ENDIF
ENDM

```

範例：Bit test P0.0 是否為 0，成立程式跳至 SUB1，不成立跳至 SUB2。

```

@B0BTS0      P0,0
JMP           SUB2 ;P0.0 = 1
JMP           SUB1 ;P0.0 = 0

```

2.2 @B0TS1 巨集程式：

語法：@B0TS1 port, pin

port：I/O port 位置，設置數值為 P0, P1, P2, P5。

pin：I/O port 腳位位置，

程式：

```

@B0TS1      MACRO  port, pin
    IF pin == 0
        B0MOV      A, port
        AND         A, #00000001B
        B0BTS0     FZ
    ELSEIF pin == 1
        B0MOV      A, port
        AND         A, #00000010B
        B0BTS0     FZ
    ELSEIF pin == 2
        B0MOV      A, port
        AND         A, #00000100B
        B0BTS0     FZ
    ELSEIF pin == 3
        B0MOV      A, port
        AND         A, #00001000B
        B0BTS0     FZ
    ELSEIF pin == 4
        B0MOV      A, port
        AND         A, #00010000B
        B0BTS0     FZ
    ELSEIF pin == 5
        B0MOV      A, port
        AND         A, #00100000B
        B0BTS0     FZ
    ELSEIF pin == 6
        B0MOV      A, port
        AND         A, #01000000B
        B0BTS0     FZ
    ELSEIF pin == 7
        B0MOV      A, port
        AND         A, #10000000B
        B0BTS0     FZ
    ELSE
        ECHO        <@BTS1 MACRO Error: Invalid pin value for SN8P2501.>
        ERROR
    ENDIF
ENDM

```

範例：Bit test P0.0 是否為 1，成立程式跳至 SUB1，不成立跳至 SUB2。

```

@BTS1      P0, 0
JMP        SUB2 ; P0.0 = 0
JMP        SUB1 ; P0.0 = 1

```

3 SN8P2501 S8KD-2 ICE 仿真注意事項表

SN8IDE (Assembler/ICE Debugger/OTP Writer) 請用 V1.99I 之後版本

Item	S8KD-2 ICE 相容性
Instruction Cycle	部分指令(例如 INCMS)存取位址若不在特殊暫存器(0x80~0xFF)，而是一般 RAM 區，則 instruction cycle 要再加一，故最後精確 timing 要以 SN8P2501 OTP 驗證。
Set P0.0 as output pin	將 ICE 上的“P6.0 連接到 P0.0”，並使用下列巨集： @P00_MODE Mode (設定 P0.0 Input/Output Mode) @P00_OUT Level (設定 P0.0 Output Level)
設定 PWM0 最大 Duty Cycle	使用下列巨集： @PWM0_MAX_DUTY Max_Duty (設定 PWM0 最大 Duty Cycle)
Programmable Open-Drain Output	以外掛電晶體仿真
High_Clk = Internal 16M RC	以 16M Crystal 仿真
High_Clk = Internal 16M RC with RTC	以 16M Crystal 仿真，但 RTC 只支援 0.5 sec 注意: 此時 ICE 的 low clock 為掛在 ICE 上的 32.768K crystal，頻率固定在 32.768K，但 SN8P2501 的 low clock 為 chip 內建的 RC oscillator，頻率和電壓有關，3V 約 16K、5V 約 32K。
Clear Watchdog	使用下列巨集：@RST_WDT
P0.0 Interrupt Trigger Edge	使用下列巨集：@P00_EDGE

4 P0.0 OUTPUT MODE EMULATION IN S8KD-2 ICE :

SN8P2501 的 P0.0 為雙向 I/O，但在 S8KD-2 ICE 上 P0.0 為單向 Input pin，導致使用 ICE 時無法仿真 Output pin，為此提供 @P00_MODE 和 @P00_OUT 巨集指令，讓使用者可同時在 ICE 和實際 OTP 上驗證 P0.0 輸出功能。此巨集已經內建在 Assembler 中，使用者直接下達指令即可。請將 ICE 上的 P6.0 連接到 P0.0，以 ICE 上的 P6.0 仿真 P0.0 輸出功能，輸入功能仍為 P0.0。

4.1 @P00_MODE 巨集說明：

語法：@P00_MODE Val

Val: 0 = Set P0.0 input mode. 1 = Set P0.0 output mode.

範例：設置 P0.0 為 Input Mode。

@P00_MODE 0

範例：設置 P0.0 為 Output Mode。

@P00_MODE 1

4.2 @P00_OUT 巨集說明：

語法：@P00_OUT Val

Val: 0 = Set P0.0 output low. 1 = Set P0.0 output high.

範例：設置 P0.0 輸出 High。

@P00_OUT 1

範例：設置 P0.0 輸出 Low。

@P00_OUT 0

5 設定 PWM DUTY：

SN8P2501 的 PWM Duty 可由 ALOAD0 與 TC0OUT0 兩個 Bits 調整，列表如下：

PWM0OUT = 1					
ALOAD0	TC0OUT	TC0R Boundary	PWM duty range	Max PWM Frequency (Fcpu = 4M)	Note
0	0	00h to FFh	0/256 ~ 255/256	7.8125K	Overflow per 256 count
0	1	00h to 3Fh	0/64 ~ 63/64	31.25K	Overflow per 64 count
1	0	00h to 1Fh	0/32 ~ 31/32	62.5K	Overflow per 32 count
1	1	00h to 0Fh	0/16 ~ 15/16	125K	Overflow per 16 count

在 S8KD-2 ICE 模擬環境中並無支援此項設定功能，為此提供 PWM Duty 設置巨集，讓使用者方便模擬，且不影響實際 OTP 功能，此巨集已經內建在 Assembler 中，使用者直接下達指令即可。使用此巨集必須先設定 ICE_MODE 數值，決定操作環境為 ICE 或是 Real Chip。

5.1 ICE_MODE 設置說明：

語法：ICE_MODE EQU val

val: 0 = For SN8P2501 real chip. 1 = For S8KD-2 ICE emulation.

注意：改變 ICE_MODE 設定後必須要重新組譯程式

範例：ICE_MODE 設置為 ICE Emulation，程式經過 Compile 為 ICE Emulation 設定值，僅能在 ICE 上模擬，無法在 SN8P2501 上輸出正確 PWM Duty。

```
CHIP SN8P2501
.DATA
ICE_MODE EQU 1
.CODE
程式...
```

範例：ICE_MODE 設置為 SN8P2501 real chip，程式經過 Compile 為 SN8P2501 設定值，無法在 ICE 上模擬正確的 PWM Duty，僅能在 SN8P2501 上輸出正確 PWM Duty。

```
CHIP SN8P2501
.DATA
ICE_MODE EQU 0
.CODE
程式...
```

5.2 @PWM0_MAX_DUTY 巨集說明：

語法：@PWM0_MAX_DUTY Max_Duty

Max_Duty	TC0 Overflow Boundary	PWM Duty Range	PWM Resolution
256	FFh to 00h	0/256 ~ 255/256	8-bit
64	3Fh to 40h	0/64 ~ 63/64	6-bit
32	1Fh to 20h	0/32 ~ 31/32	5-bit
16	0Fh to 10h	0/16 ~ 15/16	4-bit

範例：設置 PWM Max. Duty = 64, Duty = 2:1。

```

@PWM0_MAX_DUTY 64
MOV      A,#42 ; 42 = 63 (Max. TC0R) / 3 X 2
B0MOV    TC0R,A
B0BSET   FPWM0OUT
B0BSET   FTC0ENB

```

6 PEDGE 設定：

SN8P2501 PEDGE 暫存器中的 P00G[1:0] 定義與 S8KD-2 ICE 不同，ICE 模擬結果無法與 real chip 一致，兩者差異列表如下：

PEDGE		SN8P2501	S8KD-2 ICE
P00G1	P00G0		
0	0	Reserved	Reserved
0	1	Rising Edge	Falling Edge
1	0	Falling Edge	Rising Edge
1	1	Bi-Direction	Bi-Direction

為求 ICE 模擬結果與 SN8P2501 real chip 一致性，提供巨集程式供使用者在 ICE 上模擬，此巨集已經內建在 Assembler 中，使用者直接下達指令即可。此巨集程式必須配合 ICE_MODE 宣告使用，ICE_MODE EQU 0 應用於 SN8P2501 real chip “.SN8”檔，ICE_MODE EQU 1 應用於 S8KD-2 ICE Emulation。

6.1 @P00_EDGE 巨集說明：

語法：@P00_EDGE val

val: 1 = Rising edge. 2 = Falling edge. 3 = Level Change (Bi-direction).

範例：設置 P0.0 interrupt trigger edge 為 Rising Edge，使用 ICE 模擬。

```

CHIP    SN8P2501
.DATA
ICE_MODE EQU 1
.CODE
...
@P00_EDGE 1
B0BSET    FP00IEN

```

範例：設置 P0.0 interrupt trigger edge 為 Falling Edge，產生 SN8P2501 燒錄使用“.SN8”檔。

```
CHIP SN8P2501
.DATA
ICE_MODE 0
.CODE
...
@P00_EDGE 2
B0BSET FP00IEN
```

7 其他巨集使用注意事項

- 巨集包含多條指令，在巨集之前使用條件分支判斷可能導致錯誤：

例如：

```
BTS0 test.0
@RST_WDT
JMP Test_Code
```

改用下列寫法避免條件分支判斷錯誤：

```
BTS0 test.0
JMP CLR_WDT
JMP Test_Code
CLR_WDT:
@RST_WDT
```

- 巨集有可能會改變 Accumulator 和 PFLAG 暫存器內容。



SONIX reserves the right to make change without further notice to any products herein to improve reliability, function or design. SONIX does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. SONIX products are not designed, intended, or authorized for use as components in systems intended, for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SONIX product could create a situation where personal injury or death may occur. Should Buyer purchase or use SONIX products for any such unintended or unauthorized application. Buyer shall indemnify and hold SONIX and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that SONIX was negligent regarding the design or manufacture of the part.

Main Office:

Address: 9F, NO. 8, Hsien Cheng 5th St, Chupei City, Hsinchu, Taiwan R.O.C.
Tel: 886-3-551 0520
Fax: 886-3-551 0523

Taipei Office:

Address: 15F-2, NO. 171, Song Ted Road, Taipei, Taiwan R.O.C.
Tel: 886-2-2759 1980
Fax: 886-2-2759 8180

Hong Kong Office:

Address: Flat 3 9/F Energy Plaza 92 Granville Road, Tsimshatsui East Kowloon.
Tel: 852-2723 8086
Fax: 852-2723 9179

Technical Support by Email:

Sn8fae@sonix.com.tw

本資料為松翰科技股份有限公司專有之財產，非經書面許可不准透露或使用本資料，亦不准複印複製或轉變成任何其他形式使用。

The information contained herein is the exclusive property of SONiX technology Co., Ltd. and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of SONiX technology Co., Ltd.