

# AN3321K, AN3321S

## VTR再生映像信号処理回路/VTR Playback Video Signal Processing Circuits

### ■ 概要

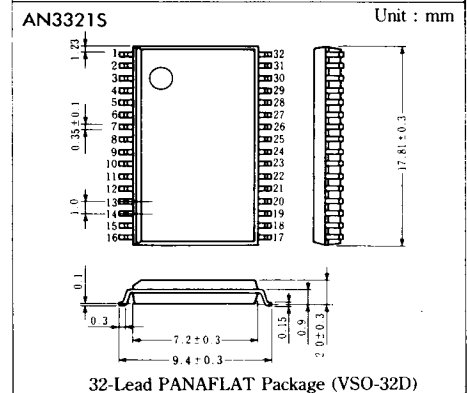
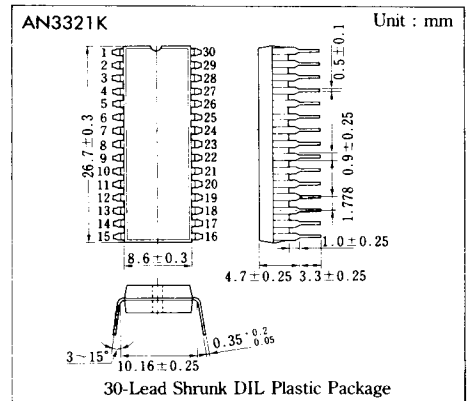
AN3321K, AN3321Sは、VTRの再生映像信号処理回路に設計された半導体集積回路です。

### ■ 特徴

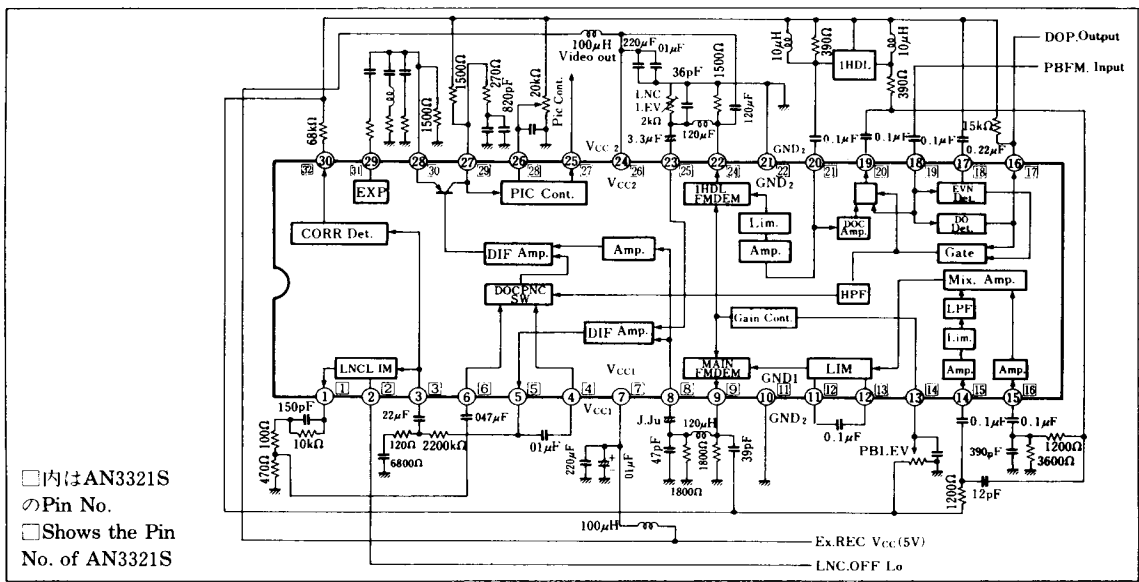
- 低電圧動作  $V_{CC}=5V$
- ラインノイズキャンセラ回路内蔵
- 画質調整回路内蔵

### ■ Features

- Operated by low supply power voltage:  $V_{CC}=5V$
- Built-in line noise canceler circuit.
- Built-in picture control circuit



### ■ ブロック図/Block Diagram



## ■ 絶対最大定格/Absolute Maximum Ratings (Ta = 25°C)

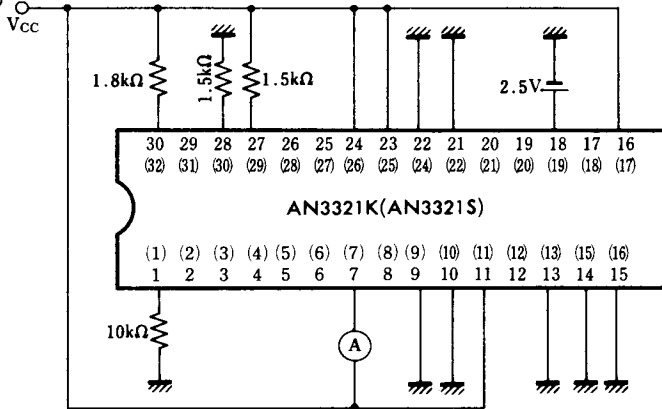
Item	Symbol	Rating	Unit
電源電圧	V <sub>CC</sub>	6	V
許容損失 (Ta = 70°C)	P <sub>D</sub>	280	mW
動作周囲温度	T <sub>opr</sub>	-20~+70	°C
保存温度	AN3321K	-55~+150	°C
	AN3321S	-55~+125	

■ 電気的特性/Electrical Characteristics (V<sub>CC</sub> = 5V, Ta = 25°C)

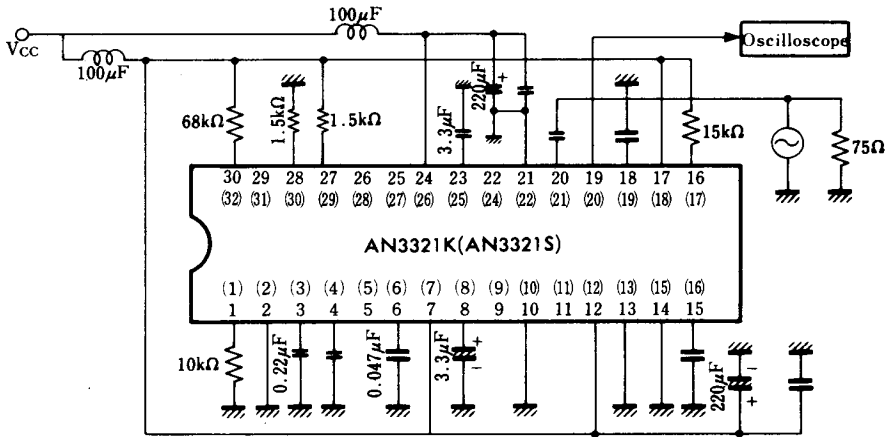
Item	Symbol	Test Circuit	Condition	min.	typ.	max.	Unit
回路電流	I <sub>7</sub>	1		23		36	mA
DOCアンプ利得	AN3321K	G <sub>19</sub>	Pin ⑳ Input (60mV <sub>P-P</sub> , 4MHz)	13		16	dB
	AN3321S	G <sub>20</sub>					
DOC感度ON	AN3321K	S <sub>16</sub>	Pin ⑱ Input (4MHz) 0dB = 350mV <sub>P-P</sub>	-14.8		-11.3	dB
	AN3321S	S <sub>17</sub>					
DOC感度OFF (ヒステリシス)	AN3321K	ΔS <sub>16</sub>	Pin ⑱ Input (4MHz) 0dB = 350mV <sub>P-P</sub>	-5		-0.5	dB
	AN3321S	ΔS <sub>17</sub>					
Sub FM 復調検波感度	AN3321K	S <sub>22</sub>	Pin ㉑ Input (50mV <sub>P-P</sub> ) 0dB = 250mV <sub>P-P</sub>	2.5			dB
	AN3321S	S <sub>24</sub>					
Sub FM 復調検波限界	AN3321K	L <sub>22</sub>	Pin ㉑ Input (50mV <sub>P-P</sub> )	7			MHz
	AN3321S	L <sub>24</sub>					
Main FM 復調検波感度	S <sub>9</sub>	5	Pin ⑮ Input (150mV <sub>P-P</sub> ) 0dB = 250mV <sub>P-P</sub>	2.5			dB
Main FM 復調検波限界	L <sub>9</sub>	5	Pin ⑮ Input (150mV <sub>P-P</sub> )	7			MHz
差検出アンプ利得A	G <sub>5-1</sub>	6	Pin ㉒ Input (100mV <sub>P-P</sub> , 1MHz)	14.3		17.3	dB
差検出アンプ利得B	G <sub>5-2</sub>	6	Pin ㉓ Input (100mV <sub>P-P</sub> , 1MHz)	12.8		15.8	dB
差動+MIXアンプ利得	AN3321K	G <sub>25-1</sub>	Pin ㉔ Input (100mV <sub>P-P</sub> , 1MHz)	7.6		10.6	dB
	AN3321S	G <sub>27-1</sub>					
MIXアンプ利得	AN3321K	G <sub>28</sub>	Pin ㉕ Input V <sub>CC</sub> = 4.3V (500mV <sub>P-P</sub> , 1MHz)	-5		-2	dB
	AN3321S	G <sub>30</sub>					
ラインノイキャンスイッチ 切り換えレベル差	AN3321K	ΔV <sub>28</sub>	Pin ⑰ 制御パルス ( $\square$ 5V, 125KHz)	-5		5	mV
	AN3321S	ΔV <sub>30</sub>					
ラインノイキャンスイッチ クロストーク	AN3321K	CT <sub>28</sub>	Pin ④, Pin ⑥ Input (500mV <sub>P-P</sub> , 1MHz)			-40	dB
	AN3321S	CT <sub>30</sub>					
ノイキャンリミッタ利得	G <sub>1</sub>	10	Pin ③ Input (40mV <sub>P-P</sub> , 1MHz)	16.3		19.8	dB
ヒクチャーコントロール 利得	AN3321K	G <sub>25-2</sub>	Pin ㉖ Input (250mV <sub>P-P</sub> , 1MHz)	-1.5		0.5	dB
	AN3321S	G <sub>27-2</sub>					
ヒクチャーコントロール 周波数特性A	AN3321K	f <sub>25-1</sub>	Pin ㉖ Input (250mV <sub>P-P</sub> , 1MHz)			-0.5	dB
	AN3321S	f <sub>27-1</sub>					
ヒクチャーコントロール 周波数特性B	AN3321K	f <sub>25-2</sub>	Pin ㉖ Input (250mV <sub>P-P</sub> , 1MHz)	4			dB
	AN3321S	f <sub>27-2</sub>					

注) 動作電源電圧範囲: V<sub>CC(opr)</sub> = 4.5 ~ 5.5V

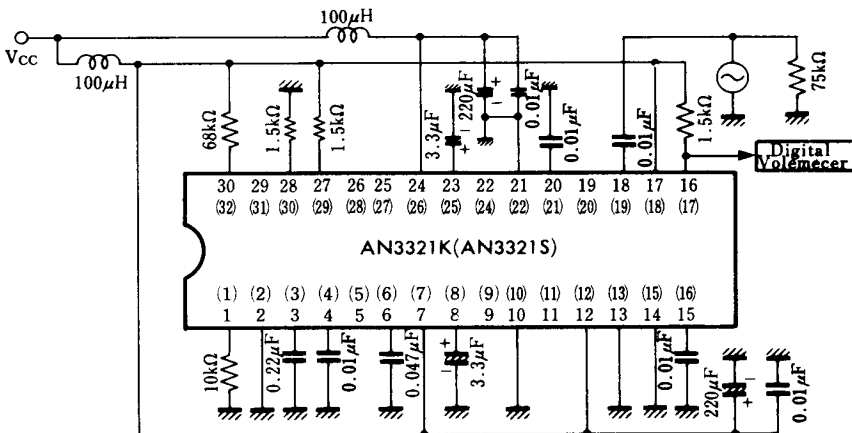
Test Circuit 1 (I<sub>7</sub>)



Test Circuit 2 (AN3321K: G<sub>19</sub>, AN3321S: G<sub>20</sub>)



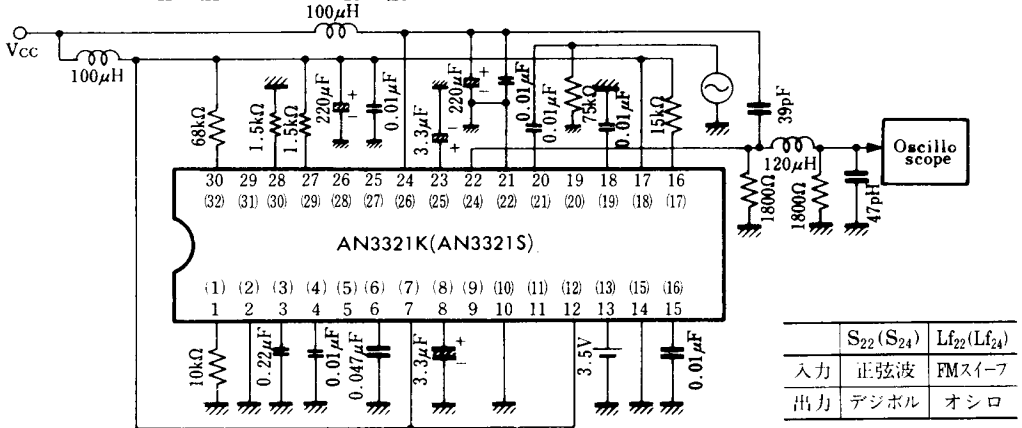
Test Circuit 3 (AN3321K: S<sub>16</sub>, ΔS<sub>16</sub>, AN3321S: S<sub>17</sub>, ΔS<sub>17</sub>)



- S<sub>16</sub>(S<sub>17</sub>): Pin⑩出力が, Loになる入力レベル
- ΔS<sub>16</sub>(ΔS<sub>17</sub>): Pin⑩出力が, Hiになる入力レベルと上の値との差

( )内は, AN3321SのPin No.です / ( ) show the Pin No. of AN3321S

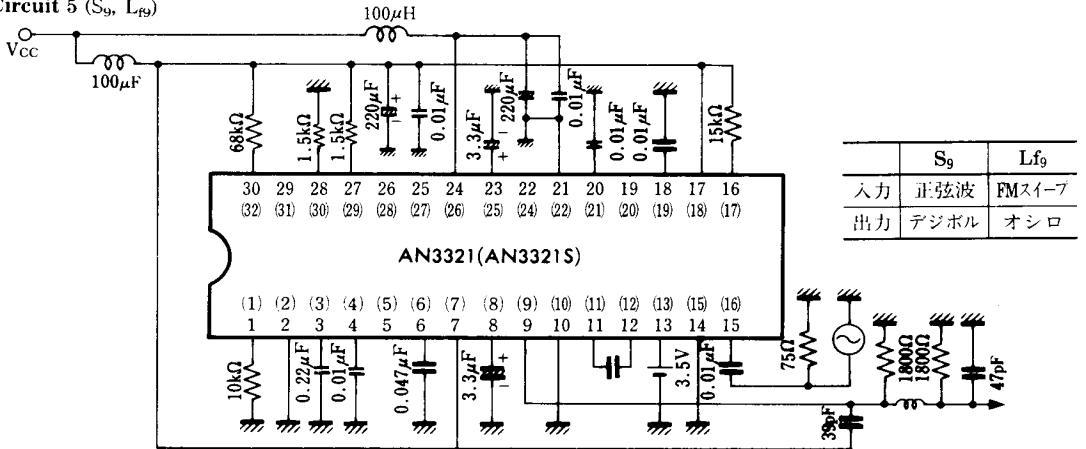
Test Circuit 4 (AN3321K: S<sub>22</sub>, L<sub>f22</sub>, AN3321S: S<sub>24</sub>, L<sub>f24</sub>)



● S<sub>22</sub>(S<sub>24</sub>): Pin⑳(㉔)入力周波数3.5MHz, 4.5MHzの Pin㉒(㉔)出力差にF11(差動+ Mix.アンプのゲイン)をかける

● L<sub>f22</sub>(L<sub>f24</sub>): Pin㉒(㉔)出力が線形に変化する Pin㉒(㉔)入力限界周波数

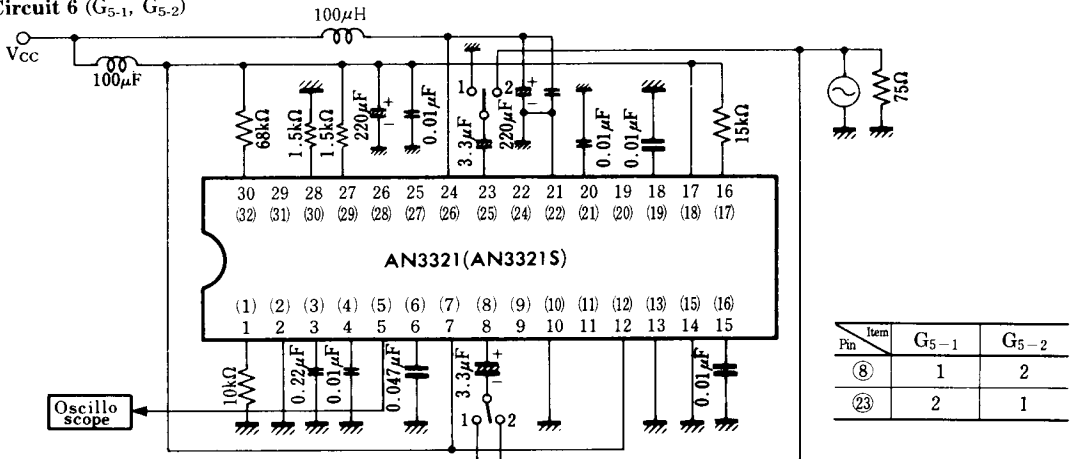
Test Circuit 5 (S<sub>9</sub>, L<sub>f9</sub>)



● S<sub>9</sub>: Pin⑮入力周波数3.5MHz, 4.5MHzの Pin⑨出力差にF11(差動+ Mix.アンプのゲイン)をかける

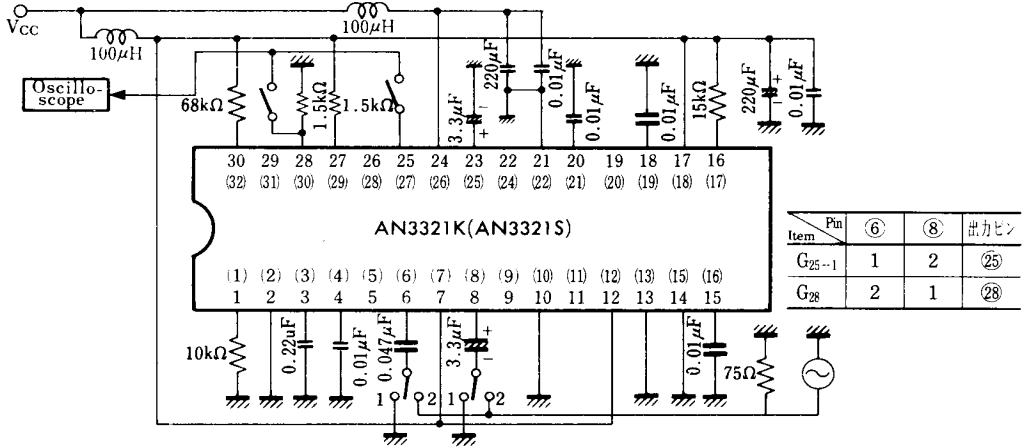
● L<sub>f9</sub>: Pin⑨出力が線形に変化する Pin⑮入力限界周波数

Test Circuit 6 (G<sub>5-1</sub>, G<sub>5-2</sub>)

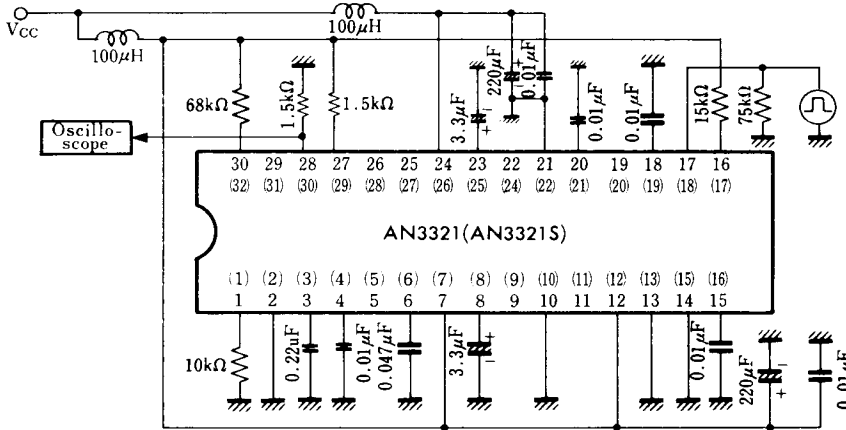


( )内はAN3321SのPin No.です / ( ) shows the Pin. No. of AN3321S.

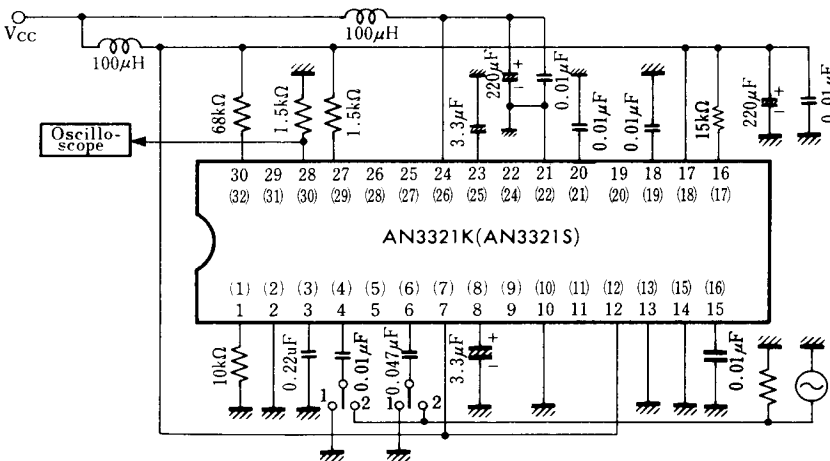
Test Circuit 7 (AN3321K:  $G_{25-1}$ ,  $G_{28}$ , AN3321S:  $G_{27-1}$ ,  $G_{30}$ )



Test Circuit 8 (AN3321K:  $\Delta V_{28}$ , AN3321S:  $\Delta V_{30}$ )



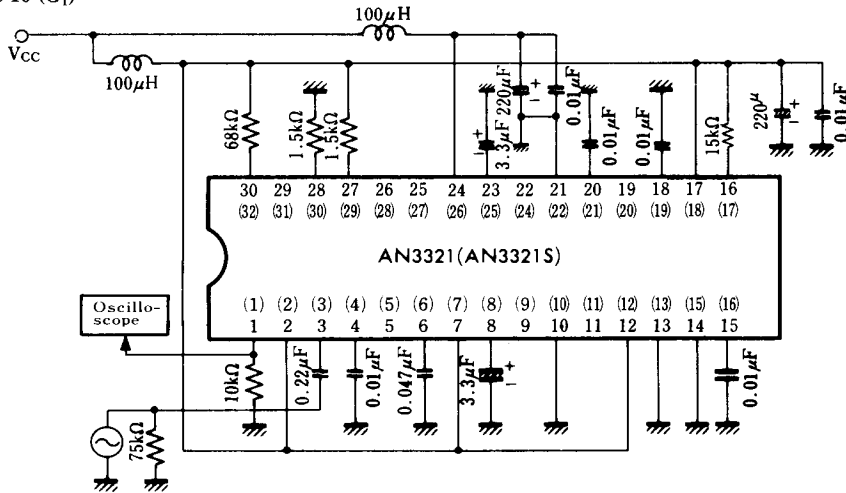
Test Circuit 9 (AN3321K:  $CT_{28}$ , AN3321S:  $CT_{30}$ )



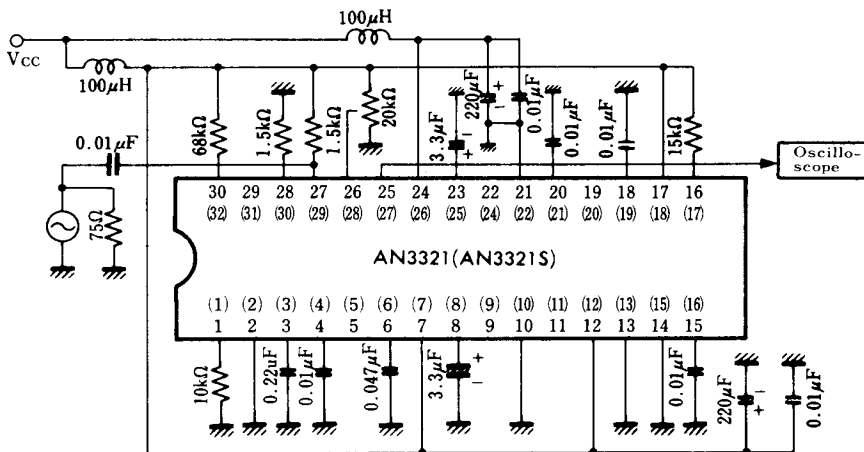
●  $CT_{28}(CT_{30})$ : Pin⑥入力時のPin②⑧(③⑩)出力f成分に対するPin④入力時のf成分比

( )内はAN3321SのPin No. です / ( ) Shows the Pin No. of AN3321S.

Test Circuit 10 (G<sub>1</sub>)



Test Circuit 11 (AN3321K: G<sub>25-2</sub>, f<sub>25-1</sub>, f<sub>25-2</sub>; AN3321S: G<sub>27-2</sub>, f<sub>27-1</sub>, f<sub>27-2</sub>)



	G <sub>25-2</sub>	f <sub>25-1</sub>	f <sub>25-2</sub>
②⑧電位	2.5V	0V	5.0V

( )内はAN3321SのPin No.です / ( ) show the Pin No. of AN3321S

## ■ 端子名/Pin Names

## AN3321K

Pin No.	端子名	Pin Name	Pin No.	端子名	Pin Name
1	Line.N.C.LIM 出力	Line N.C. LIM. Output	16	DOC パルス出力	DOC Pulse Output
2	2H, 4/6H 切り換え	2H/4, 6H Select	17	Envelop DET	Envelop Det.
3	Line.N.C.LIM 入力	Line N.C. LIM. Input	18	RF 入力	RF Input
4	Diff. Sig. 入力	Diff. Sig. Input	19	RF 出力	RF Output
5	Diff. Sig. 出力	Diff. Sig. Output	20	1H delay RF 入力	1H Delay RF Input
6	Limited Sig. 入力	Limited Sig. Input	21	アース2	GND2
7	Except REC V <sub>CC1</sub>	To Except Rec V <sub>CC1</sub>	22	DEM (1HDL) 出力	DEM. (1H DL) Output
8	Video 入力	Video Input	23	Video (1HDL) 入力	Video (1H DL) Input
9	DEM 出力	DEM. Output	24	Except REC V <sub>CC2</sub>	To Except Rec V <sub>CC2</sub>
10	アース1	GND1	25	Video 出力	Video Output
11	LIM	LIM.	26	ピクチャコントロール	Picture Control
12	LIM	LIM.	27	ディエンファシス	De-emphasis
13	DEM ゲインコントロール	DEM. Gain Control	28	ピーキング	Peaking
14	Double LIM. HPF 入力	Double LIM. HPF Input	29	伸長	Extension
15	Double LIM. LPF 入力	Double LIM. LPF Input	30	相関検出パルス出力	Relative Detecting Pulse Output

## AN3321S

Pin No.	端子名	Pin Name	Pin No.	端子名	Pin Name
1	Line.N.C.LIM 出力	Line N.C. LIM. Output	17	DOC パルス出力	DOC Pulse Output
2	2H, 4/6H 切り換え	2H/4, 6H Select	18	Envelop DET	Envelop Det.
3	Line.N.C.LIM 入力	Line N.C. LIM. Input	19	RF 入力	RF Input
4	Diff. Sig. 入力	Diff. Sig. Input	20	RF 出力	RF Output
5	Diff. Sig. 出力	Diff. Sig. Output	21	1H delay RF 入力	1H Delay RF Input
6	Limited. Sig. 入力	Limited Sig. Input	22	アース2	GND2
7	Except REC V <sub>CC1</sub>	To Except Rec V <sub>CC1</sub>	23	NC	NC
8	Video 入力	Video Input	24	DEM (1HDL) 出力	DEM. (1H DL) Output
9	DEM 出力	DEM. Output	25	Video (1HDL) 入力	Video (1H DL) Input
10	NC	NC	26	Except REC V <sub>CC2</sub>	To Except Rec V <sub>CC2</sub>
11	アース1	GND1	27	Video 出力	Video Output
12	LIM	LIM.	28	ピクチャコントロール	Picture Control
13	LIM	LIM.	29	ディエンファシス	De-emphasis
14	DEM ゲインコントロール	DEM. Gain Control	30	ピーキング	Peaking
15	Double LIM. HPF 入力	Double LIM. HPF Input	31	伸長	Extension
16	Double LIM. LPF 入力	Double LIM. LPF Input	32	相関検出パルス出力	Relative Detecting Pulse Output

<注意1> Pin⑬及びPin⑳(AN3321SはPin⑬及びPin㉑)に付加する電源は、本集積回路のPin⑦に供給される電源と、同一の電源を使用して下さい。

<注意2> 本ICを、記録時にも電源を加えたまま使用し、何らかの悪影響が起こる場合には、電源をきる等の対策をして使用して下さい。

<注意3> 本ICを、記録時電源をきって使用場合、記録時にPin②をLoにするか、Pin②にダイオードを逆方向に接続するか(図1参照)、もしくはPin②に47 $\Omega$ ~470k $\Omega$ の外付け抵抗を接続する等して(於 V<sub>CC</sub>=5V, 図2参照)、使用して下さい。

<注意4> 逆差しにより過電流が流れ、特性の劣化や破損の恐れがありますので、取り扱いには十分注意して下さい。

