

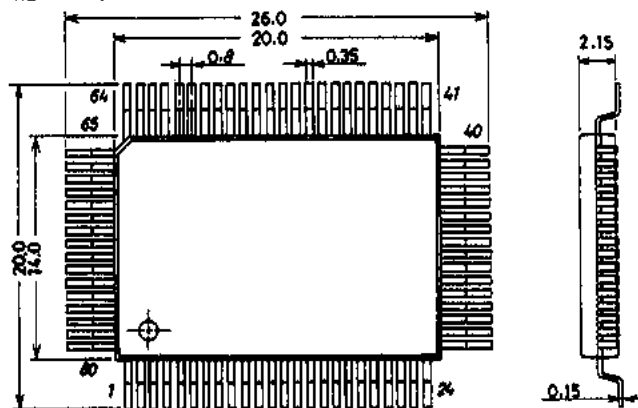
開発ニュース No.3158とさしかえてください。

## LC7860KA, \_\_\_\_\_ CMOS LSI LC7863KA デジタル信号処理(CDP用)

LC7860KA, 7863KAは、コンパクトディスクプレーヤあるいはレーザーディスク、デジタル音源部の信号処理とサーボコントロール用のCMOS LSIである。光ピックアップからのEFM信号の復調、ディンタリーブ、誤り信号の検出、訂正、音質の向上とプレーヤコストの引下げに役立つデジタルフィルタなどの信号処理およびサーボ系に対するマイクロプロセッサからの各種コマンドを処理する。シリアル入力専用のDAC LC7881(当社製)と接続インターフェイスできる。LC7860KAとLC7863KAとの違いはサブコードQの読み出し条件、トラックジャンプの一部のみである。詳細については、注1, 2(9, 10ページ)に記載してある。

- 機能
- ・HF信号を入力すると正確なレベルでスライスし、EFM信号に変換しVCOとの位相比較を行って平均4.3218MHzのPLLクロックを再生する。
  - ・水晶振動子を外部接続することにより、4.3218MHzの標準クロックの発生をはじめ内部に必要な各種タイミングを正確に発生する。
  - ・再生クロックと標準クロックから作られたフレーム位相差信号によりディスクモータの回転速度をコントロールする。
  - ・フレーム同期信号の検出、保護、内挿を行い、安定したデータ読み出しを確保している。
  - ・EFM信号を復調し、8ビットのシンボルデータに変換する。
  - ・EFM復調信号からサブコードを分離し外部のマイクロプロセッサに出力する。
  - ・サブコードQ信号は、CRCチェックを行った後シリアルI/Oによりマイクロプロセッサに出力する(LSBファーストアウト選択可能)。
  - ・外部RAMとの信号のやりとりでEFM復調信号のバッファリングを行い、ディスク回転変動による±4フレームまでのジッタ吸収を行う。
  - ・EFM復調信号を所定の順序に並びかえるアンスクランブルおよびディンタリーブを行う。
  - ・誤り信号の検出、訂正およびフラグ処理を行う(C1, 2重 C2, 2重訂正方式)。
  - ・C1フラグとC2チェックの結果を参照してC2フラグを設定し、C2フラグによる信号の補間、前値ホールドを行う。

外形図 3044B-Q80AIC  
(unit: mm)



SANYO: QIP80A

この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産ロットとしての設計を保障するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

本専記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に関法に基づく輸出許可が必要です。

Information (including circuit diagrams and circuit parameters) herein is, for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.

※これらの仕様は、改良などのため変更することがあります。

前ページから続く。

- ・オーバーサンプリング、デジタルフィルタにより、出力データの連続性を改善したDAC用信号を出力する(2倍のオーバーサンプリング)。
- ・マイクロプロセッサからのコマンドを入力すると、トラックジャンプ、フォーカススタート、ディスクモータの起動、停止、ミュートオン、オフ等所定のコマンドを実行する(シリアル入力8ビット)。

- 特長
- ・80ピンプラスチックフラットパッケージ(小型、省スペース)。
  - ・SiゲートCMOS構造(低消費電力)。
  - ・5V単一電源(ポータブルセットへの適合)。
  - ・DEMO端子により調整行程における作業性が改善される。

絶対最大定格 / Ta = 25°C, V<sub>SS</sub> = 0V

			unit
最大電源電圧	V <sub>DD max</sub>	V <sub>SS</sub> - 0.3 ~ 7	V
入力電圧	V <sub>IN</sub>	V <sub>SS</sub> - 0.3 ~ V <sub>DD</sub> + 0.3	V
出力電圧	V <sub>OUT</sub>	V <sub>SS</sub> - 0.3 ~ V <sub>DD</sub> + 0.3	V
許容消費電力	P <sub>d max</sub>	300	mW
動作周囲温度	T <sub>opg</sub>	-30 ~ +75	°C
保存周囲温度	T <sub>atg</sub>	-40 ~ +125	°C

許容動作範囲 / Ta = 25°C, V<sub>SS</sub> = 0V

		min	typ	max	unit
電源電圧	V <sub>DD</sub>	V <sub>DD</sub>	4.5	5.6	V
入力「H」レベル電圧	V <sub>IH</sub> (1)	(TEST1~5)AI, FZD, HFL, DEMO, IOFF, DFOFF, DSPOFF, M/L, MSBF, RES	0.7V <sub>DD</sub>	V <sub>DD</sub>	V
	V <sub>IH</sub> (2)	DFIN, DB0~7, SBCK, RWC, COIN, CQCK	2.2	V <sub>DD</sub>	V
	V <sub>IH</sub> (3)	EFMIN	0.6V <sub>DD</sub>	V <sub>DD</sub>	V
	V <sub>IH</sub> (4)	TES	0.8V <sub>DD</sub>	V <sub>DD</sub>	V
入力「L」レベル電圧	V <sub>IL</sub> (1)	(TEST1~5)AI, FZD, HFL, DEMO, IOFF, DFOFF, DSPOFF, M/L, MSBF, RES	V <sub>SS</sub>	0.3V <sub>DD</sub>	V
	V <sub>IL</sub> (2)	DFIN, DB0~7, SBCK, RWC, COIN, CQCK	V <sub>SS</sub>	0.8	V
	V <sub>IL</sub> (3)	EFMIN	V <sub>SS</sub>	0.4V <sub>DD</sub>	V
	V <sub>IL</sub> (4)	TES	V <sub>SS</sub>	0.2V <sub>DD</sub>	V
データセットアップ時間	t <sub>set up</sub>	COIN, RWC, 図1	400		ns
データ保持時間	t <sub>hold</sub>	RWC, 図1	400		ns
「H」レベルクロックパルス幅	t <sub>wH</sub>	SBCK, CQCK, RWC, 図1, 2, 3	400		ns
「L」レベルクロックパルス幅	t <sub>wL</sub>	CQCK, SBCK, 図1, 2, 3	400		ns
データリードアクセス時間	t <sub>RAC</sub>	図2, 3	0	400	ns
サブQ読み出しレイネーブル時間	t <sub>SQE</sub>	図2, RWC信号無		11.2	ms
サブコード読み出しサイクル	t <sub>SC</sub>	図3		136	μs
サブコード読み出しレイネーブル	t <sub>SE</sub>	図3	400		ns
リセットパルス幅	t <sub>wRES</sub>	RES	400		ns
X'tal発振周波数	f <sub>X'tal</sub>	XIN, XOUT	8.6436		MHz
動作周波数範囲	f <sub>op</sub> (1)	AI	2.0 8.6436	10	MHz
	f <sub>op</sub> (2)	EFMIN, V <sub>IN</sub> ≥ 1Vp-p		10	MHz

# LC7860KA, 7863KA

電気的特性 / Ta = 25°C, V<sub>SS</sub> = 0V, V<sub>DD</sub> = 5V

			min	typ	max	unit
消費電流	I <sub>DD</sub>			15	30	mA
入力「H」レベル電流	I <sub>IH</sub> (1)	AI, EFMIN, $\overline{\text{FZD}}$ , TES, MSBF, SBCK, COIN, $\overline{\text{CQCK}}$ , $\overline{\text{RES}}$ , HFL, RWC, M/L: V <sub>IN</sub> = V <sub>DD</sub>			5	μA
	I <sub>IH</sub> (2)	(TEST1~5)DEMO, DFOFF, DSPOFF, IOFF: V <sub>IN</sub> = V <sub>DD</sub> = 5.5V	20		75	μA
入力「L」レベル電流	I <sub>IL</sub> (1)	AI, EFMIN, $\overline{\text{FZD}}$ , TES, MSBF, SBCK, COIN, $\overline{\text{CQCK}}$ , $\overline{\text{RES}}$ , HFL, RWC, M/L: V <sub>IN</sub> = V <sub>SS</sub>	-5			μA
出力「H」レベル電圧	V <sub>OH</sub> (1)	AO, PDO, EFMO, $\overline{\text{EFMO}}$ , CLV+, CLV-, FOCS, FSEQ/PCK, TOFF, TGL, THLD, JP+, JP-, EMPH, EFLG: I <sub>OH</sub> = -1mA	V <sub>DD</sub> - 1			V
	V <sub>OH</sub> (2)	SMP1, 2, 3, LRCLK, DFOUT, DACLK, DFIN, LRSY, CK2, OE, WE, AD0~10, DB0~7, PW, PWSY, FSX, WRQ, SQOUT: I <sub>OH</sub> = -0.5mA	V <sub>DD</sub> - 1			V
出力「L」レベル電圧	V <sub>OL</sub> (1)	AO, PDO, EFMO, $\overline{\text{EFMO}}$ , CLV+, CLV-, FOCS, FSEQ/PCK, TOFF, TGL, THLD, JP+, JP-, EMPH, EFLG: I <sub>OL</sub> = 1mA			1	V
	V <sub>OL</sub> (2)	SMP1, 2, 3, LRCLK, DFOUT, DACLK, DFIN, LRSY, CK2, OE, WE, AD0~10, DB0~7, PW, PWSY, FSX, WRQ, SQOUT: I <sub>OL</sub> = 2mA			0.4	V
	V <sub>OL</sub> (3)	FST: I <sub>OL</sub> = 5mA			0.75	V
出力オフリーク電流	I <sub>OFF</sub> (1)	PDO, FST, DFIN, AD0~6, DB0~7: V <sub>OH</sub> = V <sub>DD</sub>			5	μA
	I <sub>OFF</sub> (2)	PDO, FST, DFIN, AD0~6, DB0~7: V <sub>OL</sub> = V <sub>SS</sub>	-5			μA
ライトサイクル時間	t <sub>WC</sub>	図4		462.8		ns
リードサイクル時間	t <sub>RC</sub>	図4		462.8		ns
アドレスセットアップ時間	t <sub>AS</sub>	図4	80		150	ns
ライトパルス幅	t <sub>WP</sub>	図4		231.4		ns
リードパルス幅	t <sub>RP</sub>	図4		347.1		ns
アドレスアクセス時間	t <sub>AA</sub>	図4	80		170	ns
出力ホールド時間	t <sub>OH</sub>	図4	-10		+80	ns
リードライトセットアップ時間	t <sub>WS</sub>	図4	0		20	ns

図1. コマンド入力

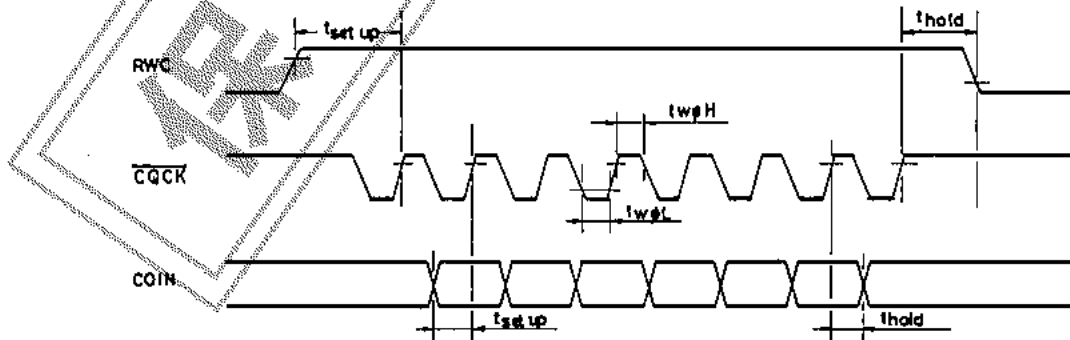


図2. サブコードQ出力

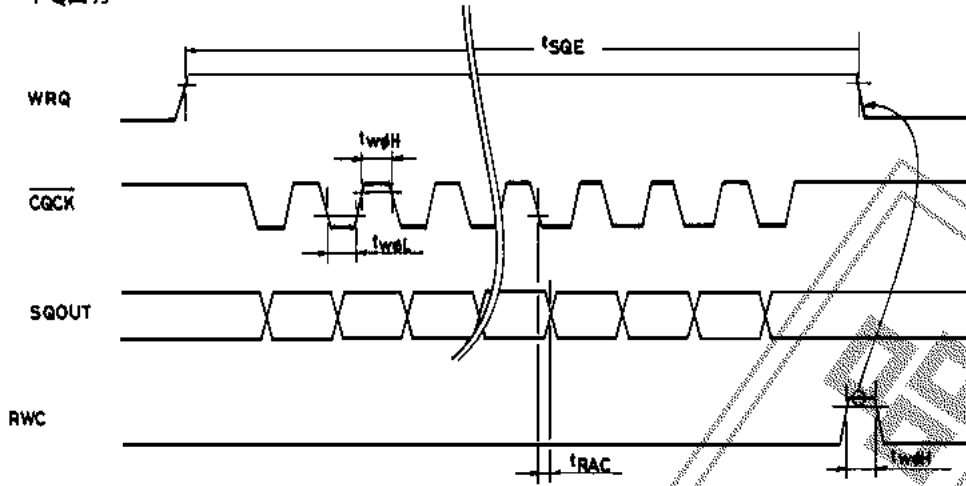


図3. サブコード出力

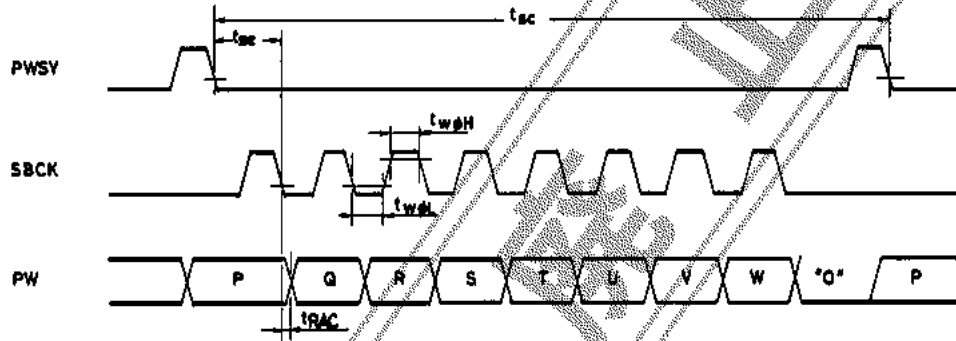
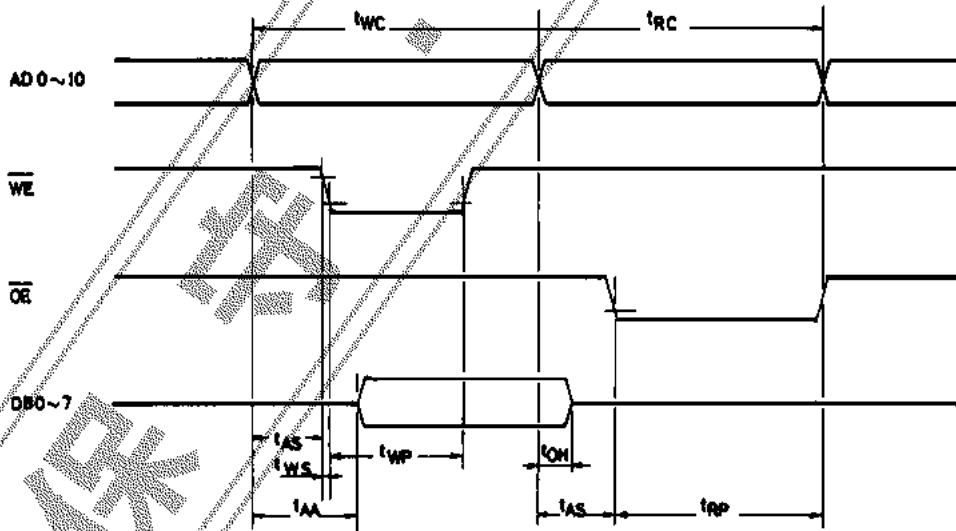
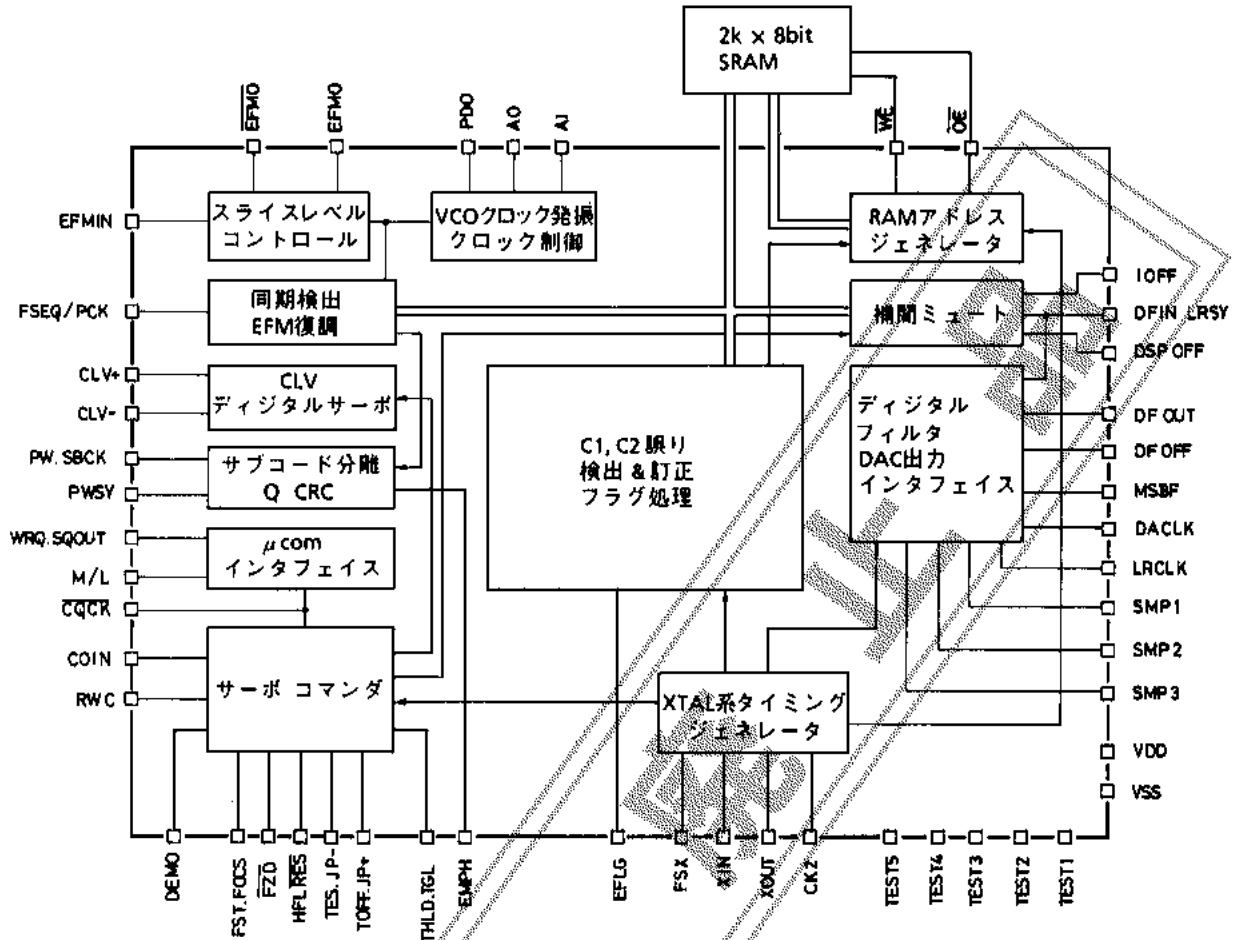


図4. RAMアクセス

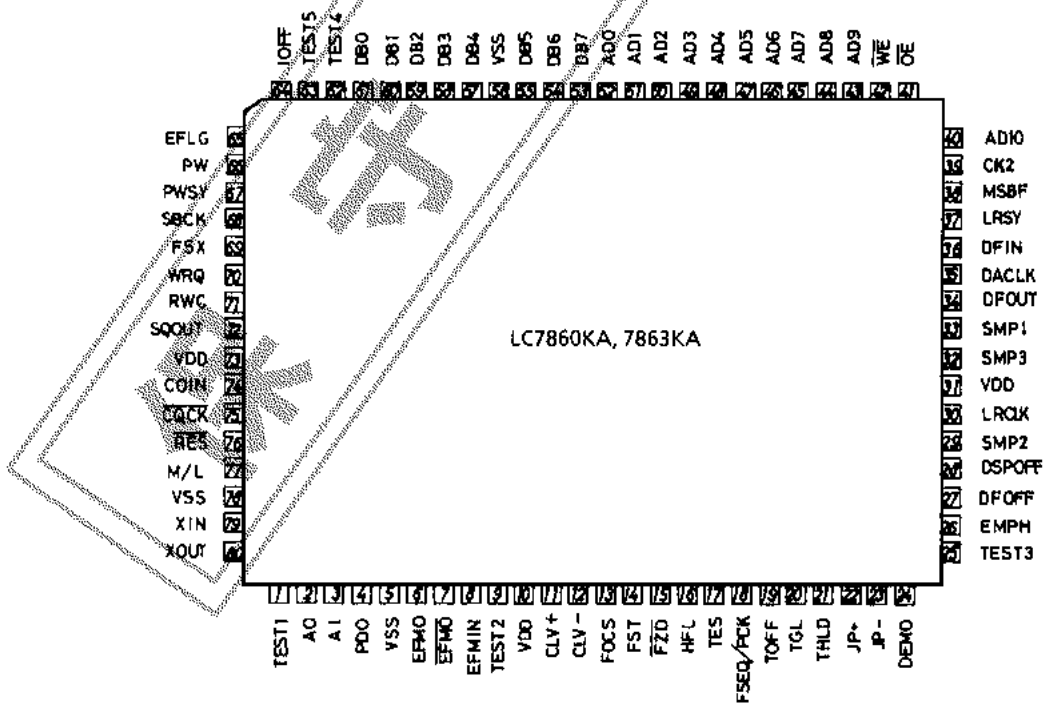


# LC7860KA, 7863KA

等価回路ブロック図



ピン配置図



LC7860KA, 7863KA

端子の説明

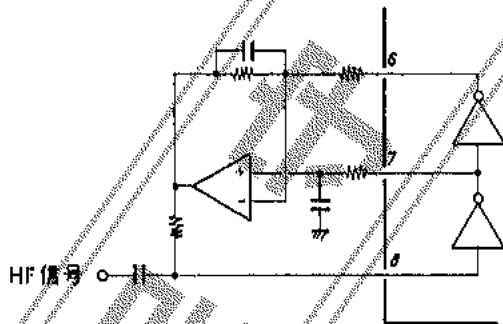
端子番号	端子名称	I/O	機能
1	TEST1	I	- LSIのテスト用, 通常は無接続。
2	AO	O	- AIとAO間にLC共振回路を接続することによりVCOを形成する。
3	AI	I	- (8.6436MHz)PDOはEFM信号との位相出力, +で周波数を上げるように
4	PDO	O	- 設定する。
6	Vss	-	- GND
6	EFMO	O	- EFMINに1~2V <sub>pp</sub> のHF信号を入力する。
7	EFMO	O	- EFMO, EFMOからの振幅リミッタを通った互いに逆相のEFM信号が出力
8	EFMIN	I	- される。これらによりスライスレベルコントロールを行う。
9	TEST2	I	- LSIのテスト用, 通常は無接続。
10	V <sub>DD</sub>	-	- +5V
11	CLV <sup>+</sup>	O	- ディスクモータコントロール用出力。
12	CLV <sup>-</sup>	O	-
13	FOCS	O	- FOCSが「H」の時のフォーカスサーボをオフする。FSTでレンズを引き
14	FST	O	- 下げFSTの「H」でレンズを徐々に引き上げる。FZDが発生するとFOCS
15	FZD	I	- はリセットされる。フォーカス引込み用。
16	HFL	I	*1
17	TES	I	*1
18	FSEQ/PCK	O	*2
19	TOFF	O	*1
20	TGL	O	*1
21	THLD	O	*1
22	JP <sup>+</sup>	O	*1
23	JP <sup>-</sup>	O	*1
24	DEMO	I	- セットの調整工用, 音出し機能。
25	TEST3	I	- LSIのテスト用, 通常は無接続。
26	EMPH	O	- 「H」のときディエンファシスが必要。
27	DFOFF	I	- デジタルフィルタのオン, オフスイッチ, 「H」でフィルタなしとなる。
28	DSPOFF	I	- LSIのテスト用, 通常はL。
29	SMP2	O	*3
30	LRCLK	O	*3
31	V <sub>DD</sub>	-	*4
32	SMP3	O	*3
33	SMP1	O	*3
34	DFOUT	O	*3
35	DACLK	O	*3
36	DFIN	I/O	*5
37	LRSY	O	*6
38	MSBF	I	*3
39	CK2	O	- 2.1609MHz
40	AD10	O	*7
41	OE	O	*8
42	WE	O	*8
43	AD9	O	*7
44	AD8	O	*7
45	AD7	O	*7
46	AD6	O	*7
47	AD5	O	*7
48	AD4	O	*7
49	AD3	O	*7
50	AD2	O	*7
51	AD1	O	*7
52	AD0	O	*7

前ページから続く。

端子番号	端子名称	I/O	機能	
53	DB7	I/O	*9	*9 : DB7~DB0: RAMデータ端子に接続する。 *10 : GND
54	DB6	I/O	*9	
55	DB5	I/O	*9	
56	V <sub>SS</sub>	-	*10	
57	DB4	I/O	*9	
58	DB3	I/O	*9	
59	DB2	I/O	*9	
60	DB1	I/O	*9	
61	DB0	I/O	*9	
62	TEST4	I	-	LSIのテスト用, 通常は無接続。
63	TEST5	I	-	
64	IOFF	I	-	CD ROM対応 Hの時補間, 前値ホールドを行わない。
65	EPLG	O	-	C1, C2, 1重, 2重の訂正モニタ用。
66	PW	O	-	PWSYはサブ, メインのコンパインしたSYNCでH→Lの変化を外部でとらえSBCKに8回クロックを送ることによりP, Q, R, S, T, U, V, Wのサブコードを読み出す。
67	PWSY	O	-	
68	SBCK	I	-	
69	FSX	O	-	7.35kHz同期信号出力。
70	WRQ	O	*11	*11 : サブコードQのデータはCRCチェックをパスした時WRQが「H」となる。これを外部でとらえCQCKを送ることによりSQOUTからデータを読み出す。LSBファーストでデータがほしい場合はM/Lを「L」に落としておく。マイコンでRWCを「H」にセットした後CQCKコマンドデータとを同期して送出することによりコマンドを与える。
71	RWC	I	*11	
72	SQOUT	O	*11	
73	V <sub>DD</sub>	-	*11	
74	COIN	I	*11	
75	CQCK	I	*11	*12 : 電源投入時一旦「L」にする。
76	RES	I	*12	
77	M/L	I	*11	
78	V <sub>SS</sub>	-	-	GND
79	X1N	I	-	8.6436MHz水晶振動子の接続端子。
80	XOUT	O	-	

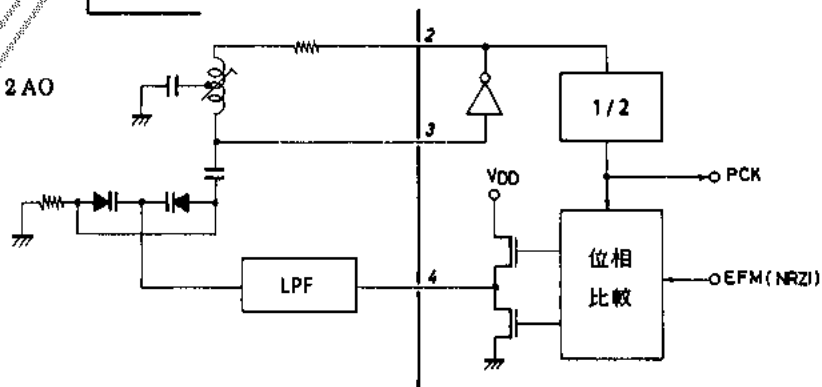
端子アプリケーション

1) HF信号入力回路 8 EFMIN, 7 EFMO, 6 EFMO



EFMINにHF信号を入力すると微速レベルでスライスされたEFM信号(NRZ)が得られる。

2) PLLクロック再生回路 4 PDO, 3 AI, 2 AO



AO, AI間にLC共振回路を接続してVCOを構成する。PDO端子の出力はVCOの位相が遅れると+に振れるのでこの時VCOの周波数が上昇するようにバリキャップへコントロール電圧を供給する。

3) 同期検出モニタ 18 FSEQ/PCK

24DEMOが「L」の時VCOを2分周した平均4.3218MHz PCKのモニタ, DEMOが「H」の時はEFM信号をPCKで読み取ったフレームシンクとカウンタで生成したタイミングとが一致した時に「H」となり同期検出モニタとなる。

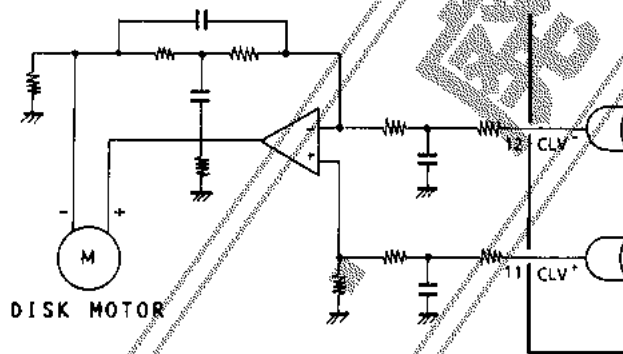
4) CLVサーボ回路 11 CLV<sup>+</sup>, 12 CLV<sup>-</sup>

CLV<sup>+</sup>は、ディスクを正方向に加速する信号, CLV<sup>-</sup>は、減速する信号である。マイコンからのコマンドにより加速, 減速, CLV, 停止の4モードから1つが選択される。各モードにおけるCLV<sup>+</sup>, CLV<sup>-</sup>出力を下表に示す。

MODE	CLV <sup>+</sup>	CLV <sup>-</sup>
加速	H	L
減速	L	H
CLV	※	※
停止	L	L

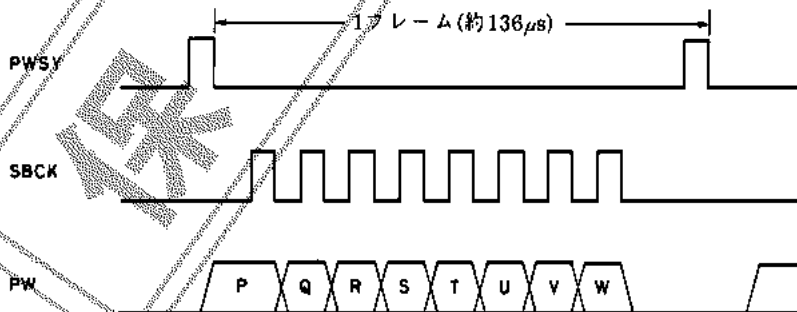
※: CLVモードでは、HF信号からディスクの回転を検出し、DSPの内部モードが変化しておおのの制御を行うことにより、正規の線速度回転に導入する。PWMの周期は7.35kHz, 1/64デューティの周期は1.114s。

内部モード	CLV <sup>+</sup>	CLV <sup>-</sup>
ラフサーボ(低速回転と判定)	H	L
ラフサーボ(高速回転と判定)	L	H
位相制御(PCKがロックしている)	PWM	PWM
低速回転(HFの無信号時)	1/64DUTY	L



5) サブコード P, Q, R~Wの出力回路 67 PWSY, 66 PW, 68 SBCK

PWはサブコード信号の出力端子で、PWSYの立下りから136 $\mu$ s以内にSBCKに8回クロックを送ることによりP, Q, R~Wまでの全コードを読み出すことができる。PWに表われる信号はRCKの立下りで変化する。SBCKにクロックを送らない場合は、PWには「空」コードだけが出力される。



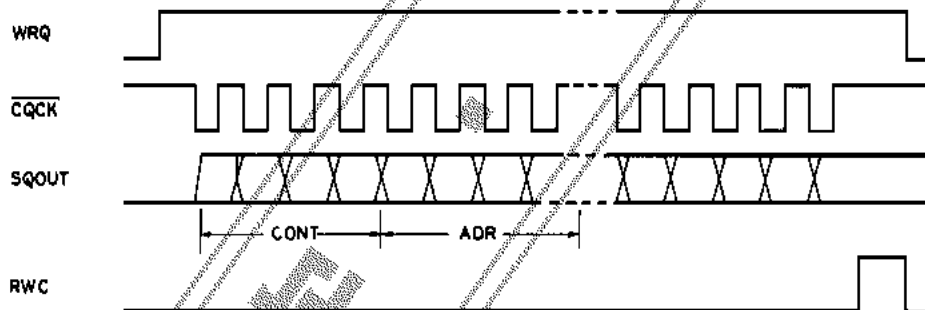
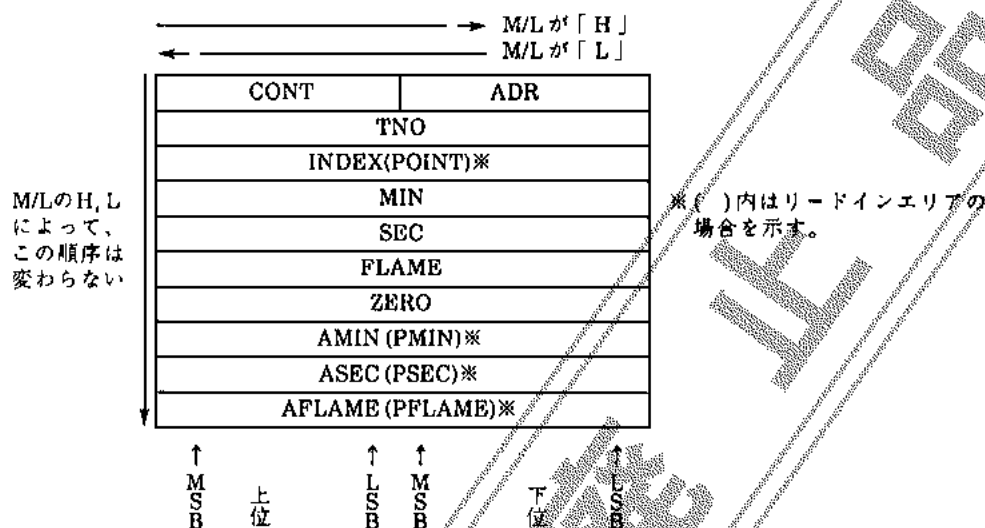
サブコードシンク, S0, S1のフレームにおいてPWSYは「L」に立下らず「H」を持続する。



6) サブコードQの出力回路 70 WRQ, 71 RWC, 72 SQOUT, 75  $\overline{\text{CQCK}}$ , 77 M/L

サブコード8ビットの内、「Q」信号は曲のアクセス、表示等に有用なものである。CRCチェックをパスし、しかもアドレス1(注1)の場合に限ってWRQが「H」となる。マイコンでこの「H」を検出したら $\overline{\text{CQCK}}$ を送出して下記の順序でSQOUTからデータを読み出すことができる。 $\overline{\text{CQCK}}$ 送出を開始するとDSP内部ではレジスタのデータ更新が禁止される。マイコンは読み出しが完了したらRWCを一旦「H」にしてデータの更新許可を与える。この時WRQは「L」に落ちる。WRQの「H」は11.2ms後には「L」に落ちるので $\overline{\text{CQCK}}$ の送出はこれが「H」の間に開始する。M/Lを「L」に設定することにより、データをLSBファーストアウトで読み出すことができる。

注1: LC7863KAはこのアドレス1の条件がない。



7) サーボコマンドの機能 71 RWC, 74 COIN, 75 CQCK

RWCを「H」にセットしCQCKクロックに同期した8ビット1ワードのコマンドをCOINへ送出することによりフォーカススタート、ディスクモータ、トラックジャンプ、ミュートと4種類の命令を入力することができる。

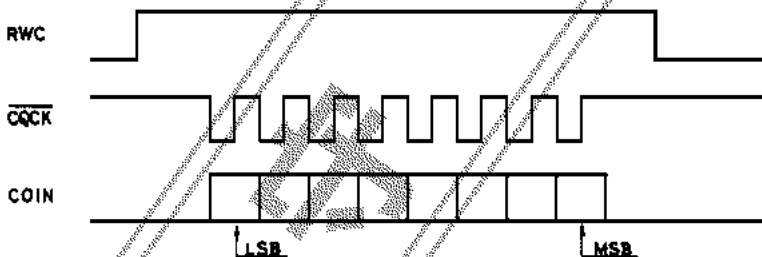
M S B	CODE	L S B	COMMAND
	0 0 0 0 0 0 0 0		NOTHING
	0 0 0 1 0 0 0 1		1 TRACK JUMP IN #1
	0 0 0 1 0 0 1 0		1 TRACK JUMP IN #2
	0 0 0 1 0 0 1 1		4 TRACK JUMP IN
	0 0 0 1 0 1 0 0		16 TRACK JUMP IN
	0 0 0 1 0 1 0 1 (注2)		64 TRACK JUMP IN
	0 0 0 1 1 0 0 1		1 TRACK JUMP OUT #1
	0 0 0 1 1 0 1 0		1 TRACK JUMP OUT #2
	0 0 0 1 1 0 1 1		4 TRACK JUMP OUT
	0 0 0 1 1 1 0 0		16 TRACK JUMP OUT
	0 0 0 1 1 1 0 1 (注2)		64 TRACK JUMP OUT
	0 0 0 1 0 1 1 0		256 TRACK CHECK
	0 0 0 0 0 0 0 1		MUTE 0dB
	0 0 0 0 0 0 1 0		MUTE -12dB
	0 0 0 0 0 0 1 1		MUTE -∞dB
	0 0 0 0 0 1 0 0		DISK MOTOR START
	0 0 0 0 0 1 0 1		DISK MOTOR CLV
	0 0 0 0 0 1 1 0		DISK MOTOR BRAKE
	0 0 0 0 0 1 1 1		DISK MOTOR STOP
	0 0 0 0 1 0 0 0		FOCUS START

↑ LSBファーストアウト

#1: JPのパルス幅 233 $\mu$ s + 233 $\mu$ s

#2: 加速パルスから減速パルスへの切換えはトラックの中間点を検出して行う。

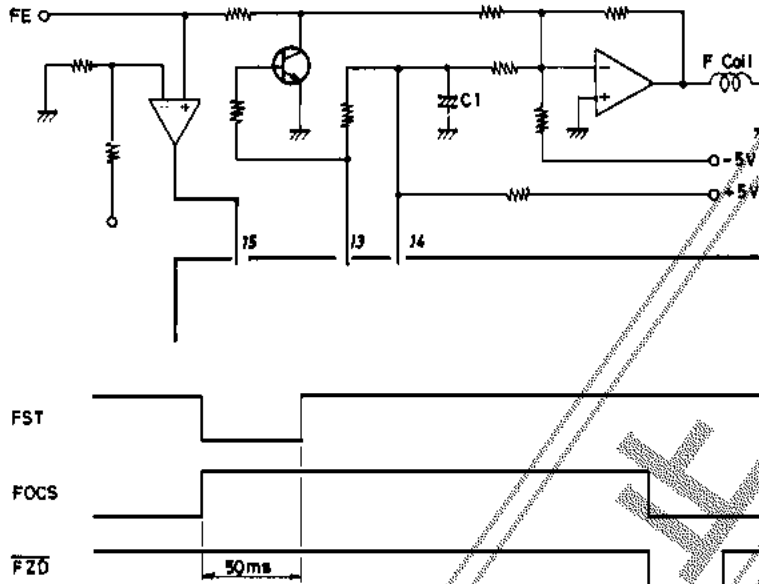
注2: LC7863KAではこのコマンドは 32 TRACK JUMPとなる。



コマンドはRWCの立下りから実行される。ミュート、ディスクモータのコマンドはレジスタにラッチされるのでおのおの種類の他のコマンドによって変化する。RESによってリセットされた時ミュートは-∞dB、ディスクモータはSTOPとなる。トラックジャンプのコマンドはその実行に25ms位の時間を要するがその実行中であっても次のトラックジャンプコマンドを与えることができる。フォーカススタートのコマンドは更に長い時間を要するが、この間他のコマンドを入力してはならない。したがって複数のコマンドを入力する時はミュートまたはディスクモータのコマンドを先に入力し次にフォーカススタートまたはトラックジャンプのコマンドを入力する。

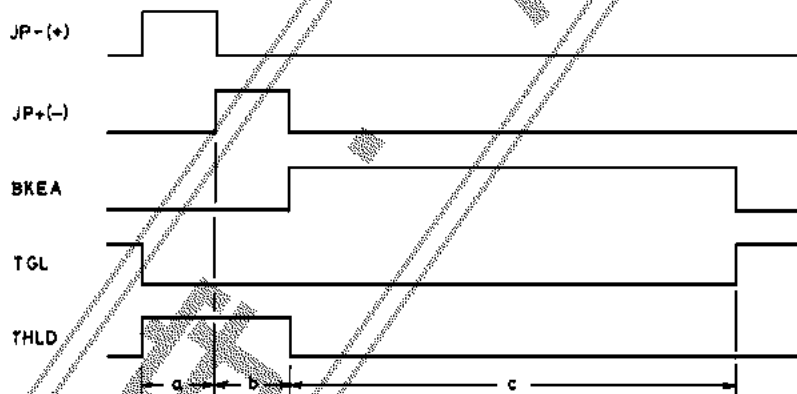
8) フォーカサーボ回路 13 FOCS, 14 FST, 15 FZD

サーボコマンドにフォーカススタートの命令が入力されるとまずC1のチャージがFSTによって放電し対物レンズを引き下げる(ディスクが上の場合)。次にFOCSによって充電され徐々に引き上げる。合焦点にまで達するとFZDが立下がると同時にFOCSがリセットされてフォーカサーボがオンとする。



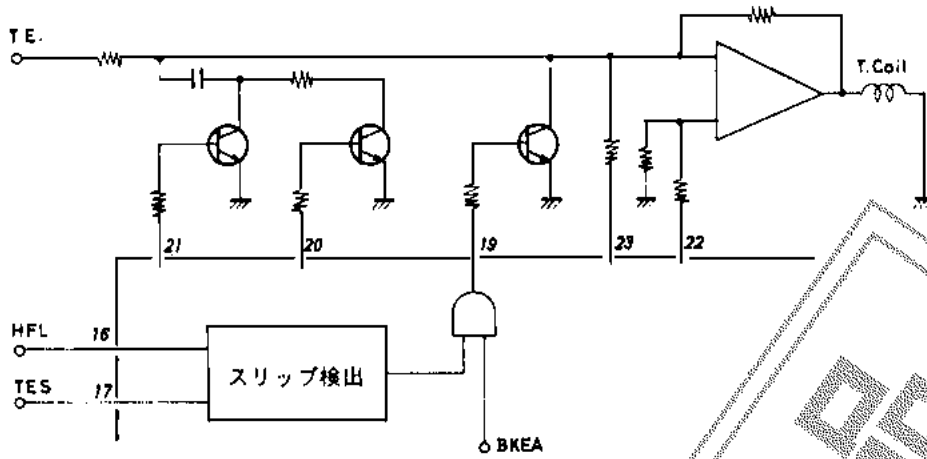
マイコンはコマンド送出後DRFをチェックして合焦を確認して次のフローへ進む。C1のチャージが完了しても合焦が得られない場合は再度フォーカススタートの命令を送出してフォーカサーボの動作を繰り返す。

9) トラックジャンプの回路 16 HFL, 17 TES, 19 TOFF, 20 TGL, 21 THLD, 22 JP+, 23 JP-



COMMAND	a	b	c
1 TRACK JUMP IN(OUT) #1	233 $\mu$ s	233 $\mu$ s	17ms
1 TRACK JUMP IN(OUT) #2	0.5 TRACK JUMP 期間	233 $\mu$ s	17ms
4 TRACK JUMP IN(OUT)	2 TRACK JUMP 期間	466 $\mu$ s	17ms
16 TRACK JUMP IN(OUT)	9 TRACK JUMP 期間	7 TRACK JUMP 期間	17ms
64 TRACK JUMP IN(OUT)	36 TRACK JUMP 期間	28 TRACK JUMP 期間	17ms
256 TRACK CHECK	256 TRACK経過する期間TOFF, THLDのみ「H」となる。		17ms

サーボコマンドにトラックジャンプの命令が入力されると加速パルスが発生続いて減速パルスが発生しブレーキ期間を経て所定のジャンプが完了する。ブレーキ期間はTESとHFL入力とによって、ビームのスリップ方向を検出しTE信号の内スリップを助長する部分をTOFFによってカットし、またTGLでサーボゲインを上げることによりジャンプ先のトラックを捕捉する。TOFF端子は、CLVサーボコマンドがSTOPの時「H」レベルとなる。

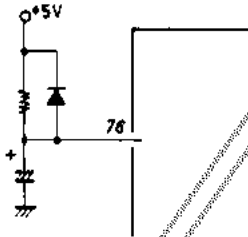


10) 調整工程用音出し機能 24 DEMO

マイコンからコマンドを送出しなくてもこの端子を「H」に設定することにより(この場合RWC端子は「L」にすること)。ミュートは0dBにディスクモータはCLVに設定されフォーカススタートの動作が行われる。また18FSEQ/PCKの機能を切替える。

11) リセット回路 76 RES

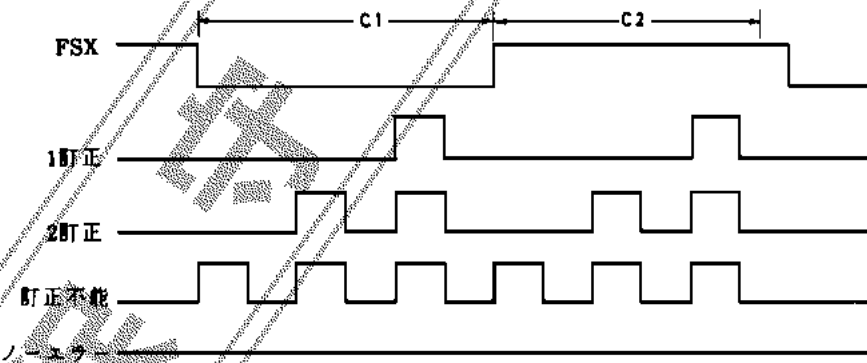
電源投入時、一旦この端子を「L」にしてから「H」にする。ミュートは-∞dBにディスクモータはSTOPに設定される。



12) ダイエンファシス オン/オフ 26 EMPH

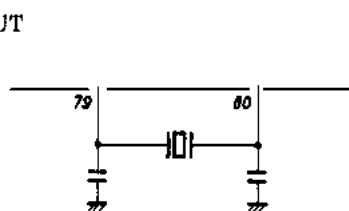
サブコードQのコントロール情報の内、プリエンファシス オン、オフのビットがEMPH端子より出力される。これが、「H」の時ダイエンファシスを行う。

13) エラーフラッグの出力 66 EPLG, 69 FSX



FSXは、水晶クロックを分周して作られた7.35kHzフレーム同期信号である。各フレームにおけるエラーコレクションの状況はEPLGに出力される。ここに表われる「H」の量により、再生状態の良否を簡単に知ることができる。

14) 水晶クロック発振 79 XIN, 80 XOUT

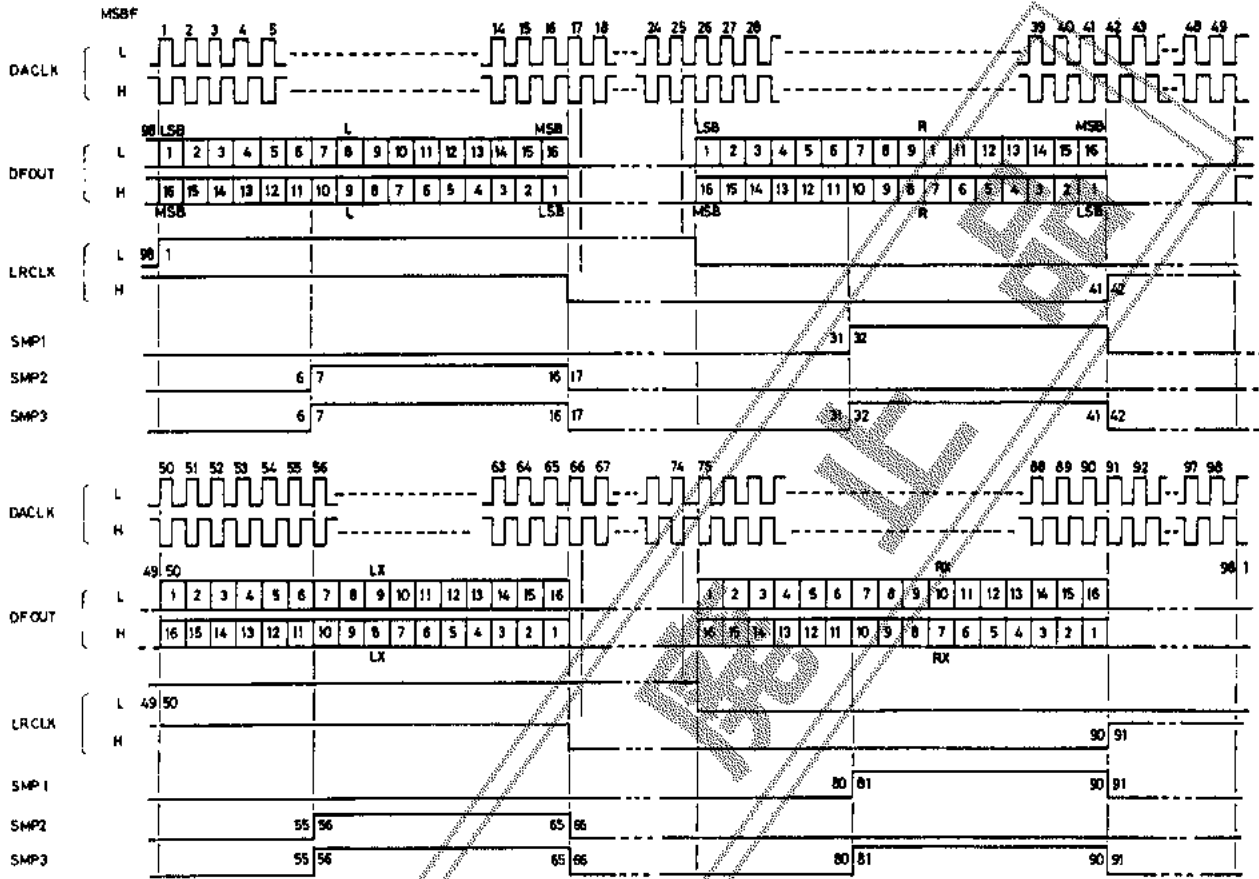


水晶発振子 8.6436MHzをこれらの端子に接続することによりタイムベースとなるクロックを発振する。

- 15) DACインタフェース 27 DFOFF, 29 SMP2, 30 LRCLK, 32 SMP3, 33 SMP1, 34 DFOUT, 35 DACLK, 38 MSBF  
 MSBFが「L」の時DFOUTからDACLKの立上りに同期してDAC用データがLSBファーストアウトで出力され  
 MSBFが「H」の時は DACLKの立下りに同期してMSBファーストアウトで出力される。

LC7860KA, LC7863KA デジタルフィルタ 出力データフォーマット(DFOFF=「L」)

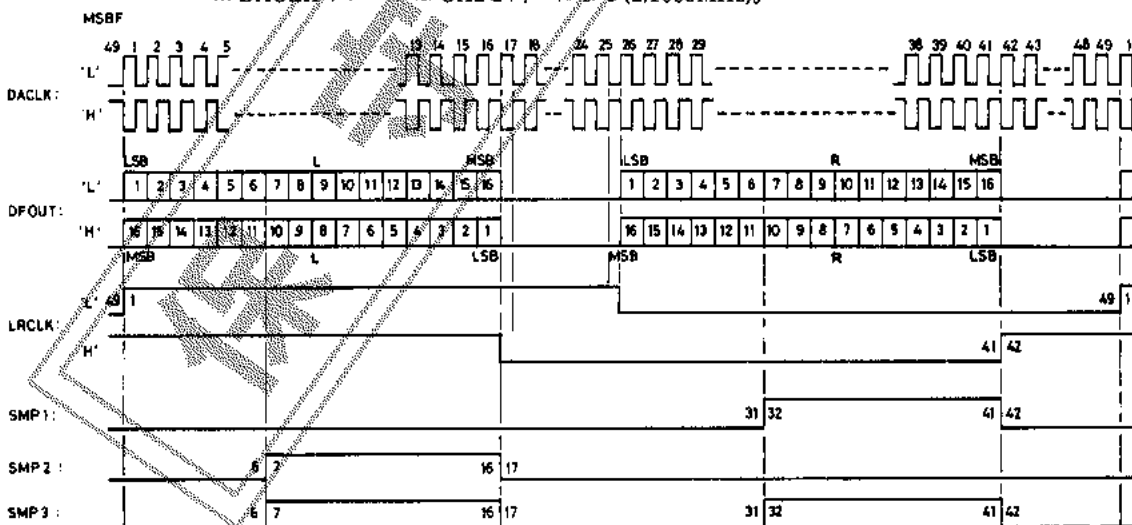
※ DACLKのレートはCK4と同一(4.3218MHz)



LC7860KA, LC7863KA デジタルフィルタ 出力データフォーマット(DFOFF=「H」)

※本モードでは入力データが素通しで出力される。ただしDAC用タイミング信号およびMSBファーストモードは有効である。

※ DACLKのレートはCK2と同一になる(2.1609MHz)。

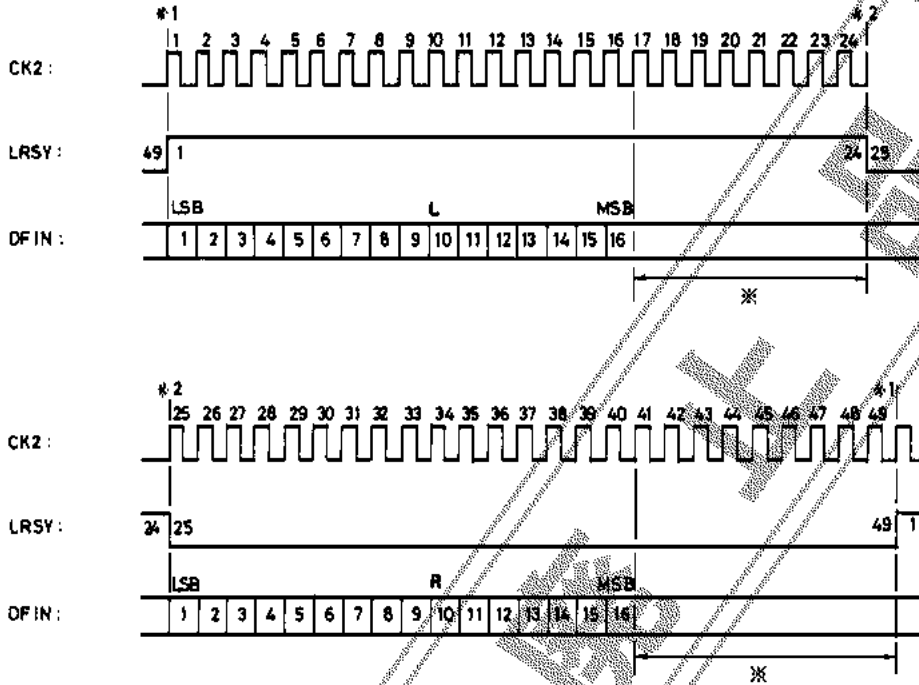


# LC7860KA, 7863KA

## 16) CDROM対応出力 39 CK2, 37 LRSY, 36 DFIN, 28 DSPOFF, 64 IOFF

DSPOFFが「L」の時DFINからデジタルフィルタへの入力信号を取り出すことができる。データはLRSYの立上りからCK2に同期してLCHデータが、また LRSYの立上りからCK2に同期してRCHデータがおのの LSBファーストアウトで得られる。CK2は2.1609MHzのクロック。DSPOFFが「H」の時は DFINからデジタルフィルタ部へ外部信号を入力することができる。主としてLSIのテスト用機能である。

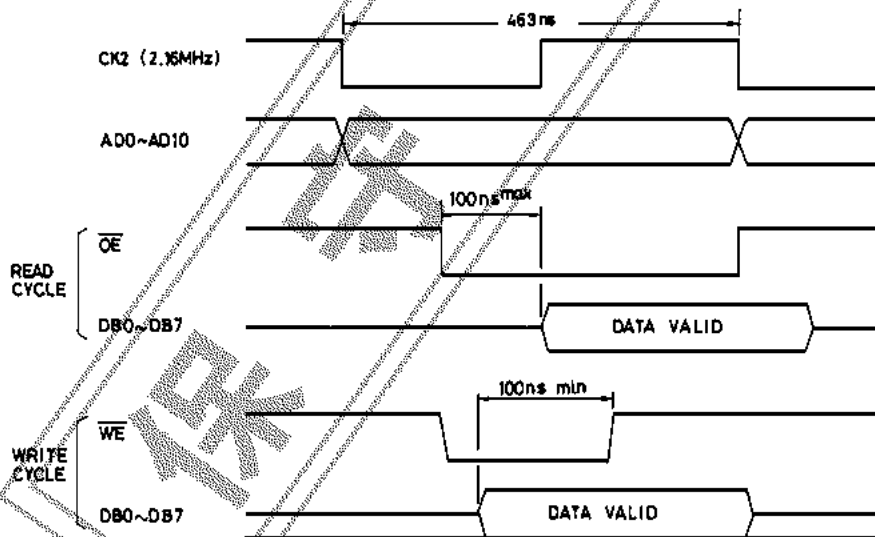
### LC7860KA, LC7863KA デジタルフィルタ部 入力データ・フォーマット



※印：DSPOFF=「L」の時DSP信号が出力されこの時↔期間のデータはMSBと同一になる。  
DSPOFF=「H」にて外部信号印加の場合↔期間のデータについてはDon't careでよい。

IOFFを「H」にすると補間、前値ホールドを中止させることができる。

## 17) RAMインタフェース 41 $\overline{OE}$ , 42 $\overline{WE}$ , 40~52 AD10~AD0, 53~61 DB7~DB0



2KバイトのRAMに接続するアドレス信号, データ信号およびコントロール信号である。

## ブロック動作説明

## 1) RAM アドレス制御

LC7860KA, 7863KAは、8ビット×2Kワードの外部RAMのアドレス制御によって、EFM復調データのデインタリーブ処理を行う。入力データのジッタ吸収能力は、バッファメモリ容量として±4フレーム持っている。また、常時このバッファの余裕をチェックしており、CLVサーボ回路のPCK側、分周比を微調整することにより、データの書き込みアドレスをバッファ分の中央にくるようにコントロールしている。また±4フレームのバッファ容量を超えると強制的に書き込みアドレスを±0に設定し、これによって生ずるエラーはフラグで処理できないので128フレーム期間、ミュートをかける。

ポジション	分周比 または 処置
-4 以下	±0に強制移動
-3	589
-2	589
-1	589
±0	688
+1	587
+2	587
+3	587
+4 以上	±0に強制移動

## 2) C1, C2訂正

EFM復調されたデータは、外部RAMに書き込み、ジッタ吸収を行ってX'talクロックによる一定のタイミングで以下の処理を行う。まずC1ブロックとしてのエラーチェックと訂正、C1フラグの決定とC1フラグレジスタへの書き込み、次にC2ブロックとしてのエラーチェックと訂正、C2フラグの決定と外部RAMへの書き込みである。

C1チェック	訂正とフラグ処理
エラーなし	訂正不要 フラグリセット
1エラー	訂正実施 フラグリセット
2エラー	訂正実施 フラグセット
3エラー以上	訂正不能 フラグセット

C2チェック	訂正とフラグ処理
エラーなし	訂正不要 フラグリセット
1エラー	訂正実施 フラグリセット
2エラー	C1フラグを参照する。 ※1
3エラー以上	C1フラグを参照する。 ※2

※1：C2チェックで判定したエラーポジションとC1フラグが一致している場合は、訂正を実行してフラグリセットする。ただしC1フラグの数が7以上の場合は、誤訂正のおそれがあるので訂正せず、フラグはC1フラグをそのままC2フラグとする。エラーポジションが1つは一致するが、他の1つが一致しない場合には訂正はできない。しかもC1フラグの数が5以下の場合はC1チェックの結果もあやしいと考えられるのでフラグはセットする。6以上の場合は訂正不能と同一に扱い、C1フラグをそのままC2フラグとする。エラーポジションが1つも一致しない場合、当然訂正はできずC1フラグの数が2以下の場合、C1チェックでOKとされたデータも誤りがあると考えられるのでフラグをセットする。他はC1フラグをそのままC2フラグとする。

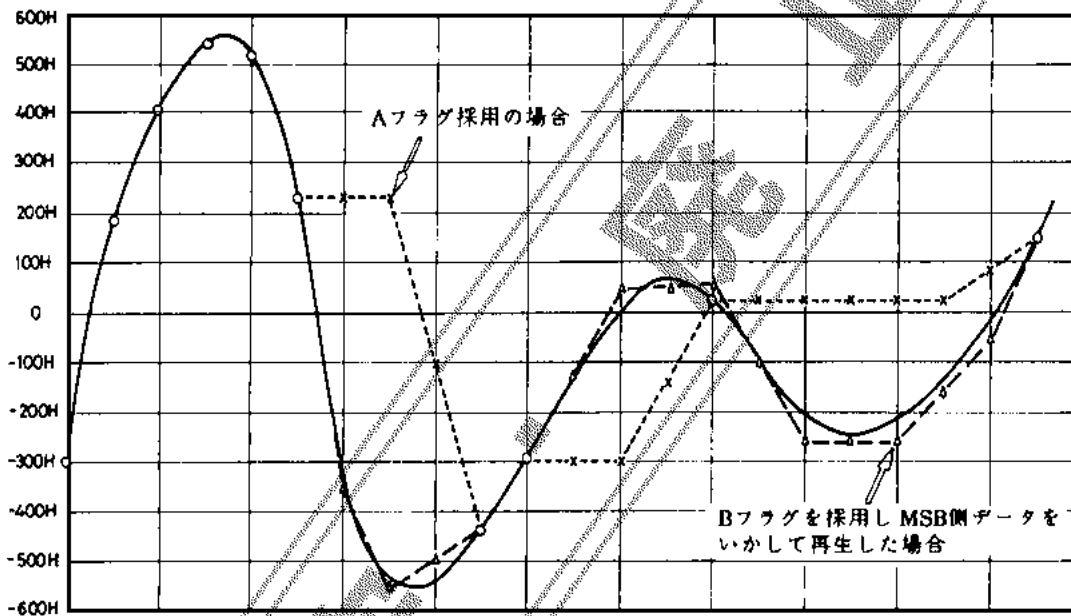
※2：3エラー以上で訂正不能と判定された場合、当然訂正はできずC1フラグの数が2以下の場合はC1チェックでOKとされたデータも誤りがあると考えられるのでフラグをセットする。他はC1フラグをそのままC2フラグとする。

3) 再生フラグの決定と補間

C2フラグ		再生フラグ
上位	下位	
0	0	リセット
0	1	※
1	0	セット
1	1	セット

※ 過去8サンプルに振幅200H以上であるならばリセット、なければセットする。

C2ブロックまでのデータは8ビット単位のシンボルで取扱っているが1サンプルは上位シンボルと下位シンボルとの16ビットからなっている。したがって1つのサンプルに2つのC2フラグが付いている。平均値補間、前値ホールド等のデータ操作を行うことは前後のサンプルからなるべく真の値に近い数値を推定してエラーサンプルに代入しようとするものと考えられるがその誤差は小信号レベルでは小さいが、大振幅になると大きくなる。上位シンボルがノーエラー、下位シンボルだけがエラーとされたサンプルは、下位シンボルに80Hを代入してこれを採用した場合、誤差は最大80Hであり比較的小さい。したがってこのような場合過去8サンプルに振幅200H以上あるならば再生フラグをリセットしている。補間は1サンプルだけエラーの場合平均値、2サンプル以上連続エラーの場合前値ホールドである。



A	0	0	0	0	0	1	1	1	0	0	1	1	1	0	1	1	1	1	1	0
B	0	0	0	0	0	0	0	1	0	0	1	0	1	0	1	0	1	0	1	0

A: 上位, 下位のC2フラグのORを取って再生フラグとした場合

B: 上位シンボルのC2フラグをそのまま再生フラグとした場合 (LC7860KA, 7863KA)

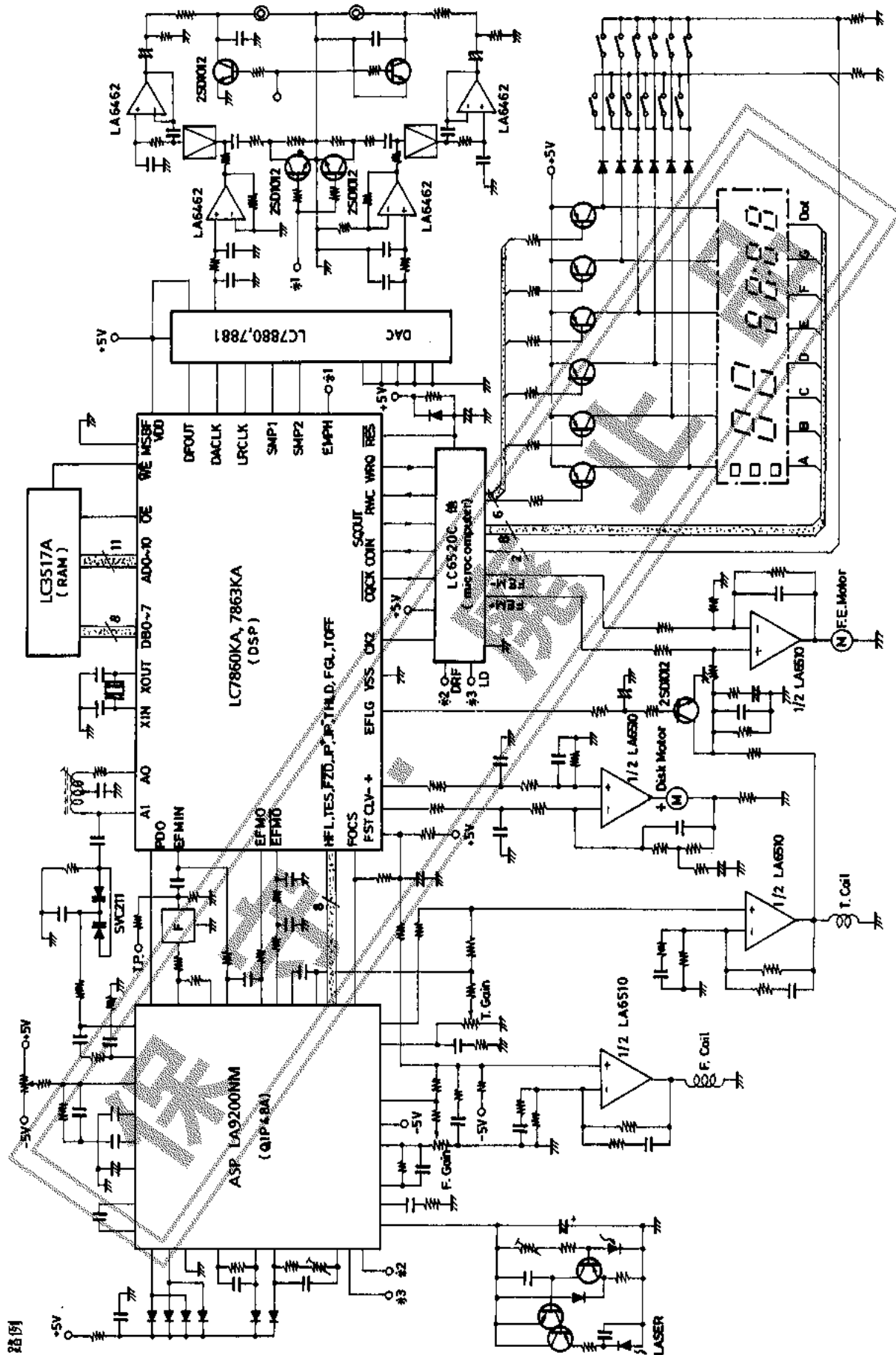
4) ミュート

ミュートは $-12\text{dB}$ と $-\infty\text{dB}$ とがあり、いずれもオン、オフ時のポップノイズを軽減するため4ステップで徐々に移行する。

設定状態	0	1	2	3
$-\infty\text{dB}$	1	3/4	1/4	0
$-12\text{dB}$	1	3/4	2/4	1/4



应用回路例



## LC7860KA, 7863KA

### LC7860N/7863 と LC7860KA/7863KAとの相違

LC7860N/7863 と LC7860KA/7863KAとは、基本的にソフトコンパチ、ピンコンパチである。相違点は、次の通りである。

- (1) LC7860KA/7863KAは、従来品に比べプレイヤビリティを向上している。  
LC7860N/7863は、C2, 2エラーの訂正条件としてC1フラグ数が2ケの時のみ訂正の実行を行っていたが、LC7860KA/7863KAでは2~6ケの時訂正実行する。
- (2) DACインタフェース用信号LRCLKをLC7860KA/7863KAとも統一し、LC7863と同じにした。
- (3) 入力「H」レベル電流  $I_{IH}$  (2)  $25\mu\text{A min} \rightarrow 20\mu\text{A min}$   
変更内容は上記3点、だけでこれをまとめると下表になる。

項目	LC7860N	LC7863	LC7860KA	LC7863KA
C2, 2エラー判定時の訂正実行条件	C1 フラグ数 2	C1 フラグ数 2	C1 フラグ数 2~6	C1 フラグ数 2~6
サブコードQレジスタ変更条件	Address「1」	左記条件なし	Address「1」	左記条件なし
トラックジャンプコマンド15H	64トラックカウント	32トラックカウント	64トラックカウント	32トラックカウント
LRCLK	「H」期間24.5DACLK 「L」期間24.5DACLK	「H」期間25DACLK 「L」期間24DACLK	「H」期間25DACLK 「L」期間24DACLK	「H」期間25DACLK 「L」期間24DACLK
入力「H」レベル電流 $I_{IH}$ (2)	$25\mu\text{A min}$	$25\mu\text{A min}$	$20\mu\text{A min}$	$20\mu\text{A min}$