

*半導体ニュース No.1373A とさしかえてください。

LA7930—モノリシックリニア集積回路 —電子選局システムコントロール回路

概要

LA7930 は カラーテレビまたは VTR 用の電子選局システムにおいて、CPU によるチューナ制御に必要な各種機能に加え バンドスイッチ、音量コントロール、CPU 電源等の周辺回路をも含んだ多機能 IC である。

また ボルテージ シンセサイザ、周波数シンセサイザいずれの方式にも対応が可能であるが、特にシングルポテンシオメータ 選局方式、オートサーチ選局方式に最適である。

機能

1. 選局信号処理部
 - ・ 32V 基準ツェナー
 - ・ 選局用 PWM パルスアンプ
 - ・ OP アンプ (アクティブ ローパス フィルタ用)
 - ・ 可変ウインド コンパレータ
 - ・ 同期検出
 - ・ CPU 用選局制御信号出力
2. バンドスイッチ部
 - ・ 2 入力 5 出力バンド SW
3. CPU 周辺回路部
 - ・ +5V 電源 (CPU 用)
 - ・ CPU RST 出力 (電源 オン、オフ時)
4. マルチ入力ミューティング回路
 - ・ 電源 オン、オフ時の音声ミュート
 - ・ APT ディフィート
 - ・ ミュート付き電子ボリューム用 PWM パルスアンプ

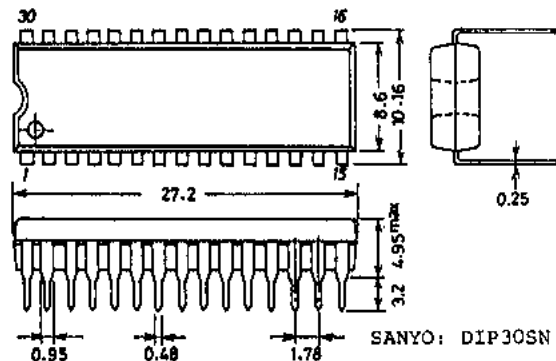
目次	ページ
・ LA7930 の概要	1
・ 機能	1
・ 特長	2
・ 等価回路ブロック図	2
・ 主な仕様	3
・ 機能説明	
1. LA7930 の各部の機能と動作	5
2. 応用回路例	8

この資料の応用回路および回路定数は一例を示すもので、量産セットとしての設計を保証するものではありません。

またこの資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行なうものではありません。

The application circuit diagrams and circuit constants herein are included as an example and provide no guarantee for designing equipment to be mass-produced. The information herein is believed to be accurate and reliable. However, no responsibility is assumed by SANYO for its use, nor for any infringements of patents or other rights of third parties which may result from its use.

外形図 3061-D30SNIC
(unit: mm)



*これらの仕様は、改良などのため変更することがあります。

持長

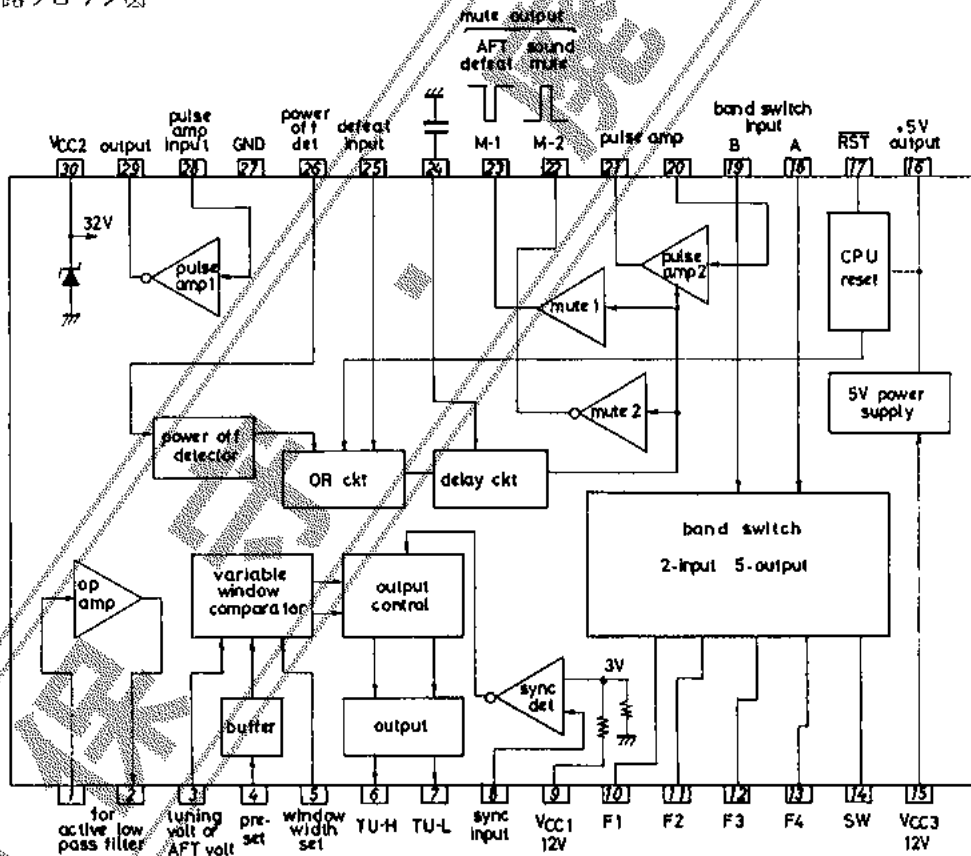
1. 温度に安定な 32V 基準ツェナーを内蔵 (±1mV/°C 以下)
2. バンドスイッチ部
 - ・バンドスイッチの論理関係は、ユーザーの要望に応じて変更が可能
 - ・外部からのドライブが不要な出力 PNP タイプ (I_O=40mA)
 - ・出力オフ時、マイナス電圧の印加可能
3. +5V 電源(-30mA)は、バイパス抵抗によって電流容量アップが可能
4. ウィンドコンパレータのウィンド幅は 40mV~5V まで任意の値に設定可能

[バンド SW 真理値表(一例)] : 出力の真理値は任意のタイプに短時間で変更が可能

入 力		出 力				
A	B	F1	F2	F3	F4	F5
L	L	H	Z	Z	Z	L
H	L	Z	H	Z	Z	Z
L	H	Z	Z	H	Z	L
H	H	Z	Z	Z	H	L

(Z: ハイインピーダンス)

等価回路ブロック図



最大定格/ $T_a=25^\circ\text{C}$		unit	
許容消費電力	$P_d \text{ max}$	1.0	W
動作周囲温度	T_{opg}	-20~+65	$^\circ\text{C}$
保存周囲温度	T_{stg}	-55~+125	$^\circ\text{C}$
[選局信号処理部]			
30ピン電流	$I_{30} \text{ max}$	注1	13 mA
パルスアンプ出力電流	$I_{29} \text{ max}$		5 mA
パルスアンプ出力電圧	$V_{29} \text{ max}$		$V_Z (V_{30})$ V
オペアンプ入力電圧	$V_1 \text{ max}$		$V_Z (V_{30})$ V
コンパレータ印加電圧	$V_3 \text{ max}, V_4 \text{ max}$		$V_Z (V_{30})$ V
選局制御出力電流	$I_6 \text{ max}, I_7 \text{ max}$		2 mA
同期入力電圧	$V_8 \text{ max}$		$V_{CC-1} (V_9)$ V
[バンドスイッチ部]			
V_{CC-1} 電源電圧	$V_9 \text{ max}$		18 V
バンドSW出力電流 (PNP)	$I_{10} \text{ max}, I_{11} \text{ max}$ $I_{12} \text{ max}, I_{13} \text{ max}$	注2	-40 mA
" (NPN)	$I_{14} \text{ max}$		25 mA
バンドSW印加電圧 (NPN)	$V_{14} \text{ max}$		35 V
" (PNP)	$V_{10} \text{ max}, V_{11} \text{ max}$ $V_{12} \text{ max}, V_{13} \text{ max}$	出力 OFF	-15 V
バンドSW入力電圧	$V_{18} \text{ max}, V_{19} \text{ max}$		12 V
[5V 電源部]			
V_{CC-3} 電源電圧	$V_{15} \text{ max}$		15 V
+5V出力電流	$I_{16} \text{ max}$		-30 mA
[ミュート回路部]			
パルスアンプ入力電圧	$V_{20} \text{ max}$	$V_{CC-1} (V_9)$	V
パルスアンプ出力電圧	$V_{21} \text{ max}$		18 V
パルスアンプ出力電流	$I_{21} \text{ max}$		15 mA
ミュート入力電圧 (デフィート)	$V_{25} \text{ max}$		8 V
" (電源オフ検出)	$V_{26} \text{ max}$		15 V
ミュート出力電圧	$V_{22} \text{ max}, V_{23} \text{ max}$		18 V
ミュート出力電流	$I_{22} \text{ max}, I_{23} \text{ max}$		5 mA

注1. 30ピンはツェナー端子なので、 $V_{CC-2} (V_{30})$ は必ず電流制限抵抗を通して印加する。

注2. IC に流れ込む電流をプラス、流れ出す電流をマイナスとする。

動作特性/ $T_a=25^\circ\text{C}, V_{CC-1}=V_{CC-2}=12\text{V}$		min	typ	max	unit
[選局信号処理部]					
無信号消費電流	I_{30k}	$V_{30}=25\text{V}, I_Z=0$ 注3	2.4		mA
パルスアンプ入力スレッシュホルト電圧	$V_{28} (\text{Til})$	$I_{29}=5\text{mA}$	0.85		V
パルスアンプ出力飽和電圧	$V_{29} (\text{sat})$	"		0.3	V
オペアンプバイアス電流	I_1		-130		nA
オペアンプオフセット電圧	ΔV_{1-2}	$0.3\text{V} \leq V_1 \leq 28\text{V}$	2		mV
コンパレータ入力電流	I_3	$V_3=0\text{V}$	-490		nA
"	I_4	$V_4=0\text{V}$	-1.2		μA
ウィンド幅設定入力電流	I_5	$V_5=8\text{V}$	3		μA
選局制御出力飽和電圧	$V_6 (\text{sat})$ $V_7 (\text{sat})$	$I_6=2\text{mA}$ $I_7=2\text{mA}$		0.7	V

次ページに続く

			min	typ	max	unit
前ページより続く						
同期入力スレッシュホールド電圧	V_8 (TH)			3		V
ウィンド幅設定範囲	ΔV_W		0.05		5.0	V
ツェナー電圧	V_{30}	$I_{30}=10\text{mA}$		32		V
ツェナー動作抵抗	r_Z	$I_{30}=8\sim 13\text{mA}$			25.0	Ω
ツェナー電圧温度特性	$\Delta V_Z/\Delta T$	$T_a=-20\sim +65^\circ\text{C}$	-1.0		+1.0	mV/ $^\circ\text{C}$
[バンドスイッチ部]						
無信号消費電流	I_9 (I_{CC-1})	バンドSW無負荷		15		mA
バンドSW入力スレッシュホールド電圧 A,B	V_{18} (TH) V_{19} (TH)			1.5		V
バンドSW (10~13ピン) 出力飽和電圧 (PNP)	V_{10} (sat) ~ V_{13} (sat)	$I_O=-40\text{mA}$			0.7	V
バンドSW (14ピン) 出力飽和電圧 (NPN)	V_{14} (sat)	$I_O=25\text{mA}$			0.7	V
(0~13ピン) 出力リーク電流	$I_{L10}\sim I_{L13}$	-15V	-50			μA
// (14ピン)	I_{L14}	$V_{14}=35\text{V}$			50	μA
[5V 電源部]						
無信号消費電流	I_{15} (I_{CC-3})	5V 電源無負荷		2.7		mA
+5V出力電圧	V_{16}	$I_{16}=-30\text{mA}$	4.5		5.5	V
リセット出力飽和電圧	V_{17} (sat)	$I_{17}=-100\mu\text{A}$	0		0.5	V
[ミュート回路部]						
パルスアンプ入力スレッシュホールド	V_{20} (TH)			2.2		V
パルスアンプ出力飽和電圧	V_{21} (sat)	$I_{21}=15\text{mA}$			0.7	V
ミュート入力スレッシュホールド	V_{25} (TH)			1.75		V
//	V_{26} (TH)			6.6		V
ミュート出力飽和電圧	V_{22} (sat) V_{23} (sat)	$I_{22}=2\text{mA}$ $I_{23}=2\text{mA}$			0.7	V

注3. $I_{30}=10\text{mA}$ は推奨値であり 30 ピンに接続する電流制限抵抗は $I_{30}(\text{typ})=10\text{mA}$ となるように決定すること。

1. LA7930 の各部の機能と動作

(1) 選局信号処理部

- ・ 32V 基準ツェナー [V₃₀:V_{CC2}]
 - 選局信号処理部および チューニング電圧発生に必要な 32V 電圧を供給する。
- ・ パルスアンプ 1
 - CPU からの選局信号としてのパルス幅変調(PWM) 波をパルスアンプする。
- ・ OP アンプ [ボルテージ フォロワー]
 - アクティブローパスフィルタとして利用し、CPU からの PWM 信号を DC のチューニング電圧 (V_T) に変換する。
- ・ 可変ウインドコンパレータ
 - a プリセット入力 (V₄)
 - ウインドコンパレータの上限電圧 V_{WH} を設定する。
 - b ウインド幅設定 (V₅)
 - $\Delta V_W = V_{CC1} - V_5$ としたときウインドコンパレータの下限電圧 $V_{WL} = V_{WH} - \Delta V_W$ を設定する。
 - 本 IC では V₄, V₅ を可変することにより、コンパレータのウインド幅を 40mV~5V の範囲で任意に設定可能である。なお ウインドコンパレータの比較入力 (V_T または APT 電圧) は 3ピン より加える。
- ・ 同期検出
 - フライバックパルスと同期信号の AND 出力を積分して入力信号 V₈ を作り、内部基準電圧 (typ 3V) と比較して同期状態を検出する。この出力は出力制御部に加えれる。(真理値表 表1 参照)
- ・ 出力制御
 - 可変ウインドコンパレータと同期検出の各出力より CPU のための選局制御信号を出力する。
 - T_{U-H}/T_{U-L} は CPU に対して周波数を UP/DOWN をせるための、制御信号出力である。
 - コンパレートレベル (V₃) に対する真理値表を 表1 に、入出力特性を 図1 に示す。

表1 同期検出回路の真理値表

	V ₃ < 3V		3V < V ₃	
	T _{U-H} (V ₆)	T _{U-L} (V ₇)	T _{U-H} (V ₆)	T _{U-L} (V ₇)
V ₃ < V _{WL}	H	H	L	H
V _{WL} < V ₃ < V _{WH}	H	H	L	L
V _{WH} < V ₃	H	H	H	L

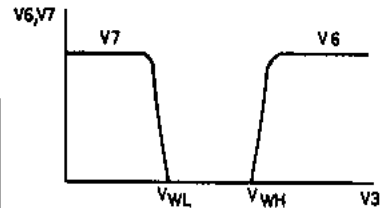


図1 同期検出回路入出力特性

(2) バンドスイッチ部

- 2 入力で 5 出力を制御できる。表2 に真理値表(一例)を示す。
- F₁~F₄ は PNP オープンコレクタ出力であり H は出力トランジスタがオンを示す。F₁~F₄ は主にチューナ電源の切り換えに使用される。また F₁~F₄ は出力端子オフのときマイナス電圧 (-15V) を印加できる。F₅ は NPN オープンコレクタ出力で、L は出力トランジスタオンを示す。F₅ は主にバンド切り換え用の PIN ダイオードのオン、オフ制御に使用する。
- なお、バンドスイッチの真理値は ユーザの要望に応じて短時間で、任意のタイプに変更することが出来る。

表2 バンドスイッチ真理値表 (一例)

入 力		出 力				
A	B	F1	F2	F3	F4	F5
L	L	H	Z	Z	Z	L
H	L	Z	H	Z	Z	Z
L	H	Z	Z	H	Z	L
H	H	Z	Z	Z	H	L

(Z: ハイインピーダンス)

(3) CPU 周辺回路部

・+5V 安定化電源 (V₁₆)

CPU へ +5V, MAX30mA の電源を供給する。15, 16 ピン間にバイパス抵抗を接続することによってさらに、電流をアップすることができる。

・CPU RST 回路 (17 ピン)

電源 オン時, +5V 電源の出力 (V₁₆) が約 4V (定格電圧の80%) になった時, 17 ピンより CPU のリセット信号が発生する。さらに遅延のために 17 ピンに外付け容量を付加する。

RST 出力は +5V 電源依存型であるため動作が安定である。また IC 内部で、ミュート回路にも接続されているため、電源オン時の音声 ミュートも同時にかけられる。

図2 に電源オン時のタイムチャートを示す。

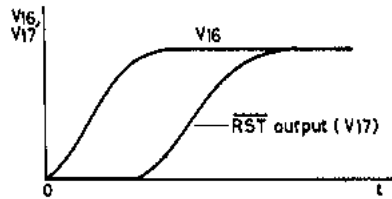




図2 電源オン時のリセット出力

(4) マルチ入力ミュート回路部

電源オフ検出 (V₂₆: Low), APT デフィート入力 (V₂₅: High), RST (V₁₇: Low) の三入力の論理 OR に対してたがいに逆極性のミュート出力 M-1 (V₂₃: )、M-2 (V₂₂: ) を取り出すと共に、電子ポリウム用 PWM パルスアンプ 2 にミュートをかけることができる。RST は IC 内部で接続されており、ミュート制御入力として使用するのは 25, 26 ピンである。

・ミュート出力 M-1, M-2 は ミュートをかける対象により極性を選ぶ必要がある。通常 M-1 は APT デフィートに, M-2 は音声ミュートに使われるが、用途により他への転用も可能である。音声ミュートの場合、電源オン, オフによりミュートがかかるため いわゆる 音声のポツ音を防止することが可能である。

・電子ポリウム用パルスアンプ 2 は CPU からのポリウムコントロール用 PWM 波形を増幅し, DA 変換して電子ポリウム制御電圧を発生する(ミュート付き)。

・ミュート遅延回路

ミュート検出回路の 24 ピンに容量を付加し, ミュート動作を遅延させて動作の安定を図る。なお ミュート入力がパルスの時は, ミュート動作は一定時間後に解除される。ミュート検出は V₂₄<2.1V でミュート動作を行なう。電源オン, オフ時のミュート出力のタイムチャートを図3 に, APT デフィート時のタイムチャートを 図4 に示す。

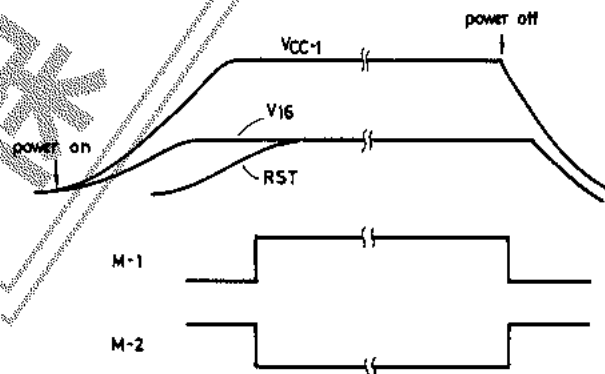


図3 電源 オン, オフ 時のミュート動作

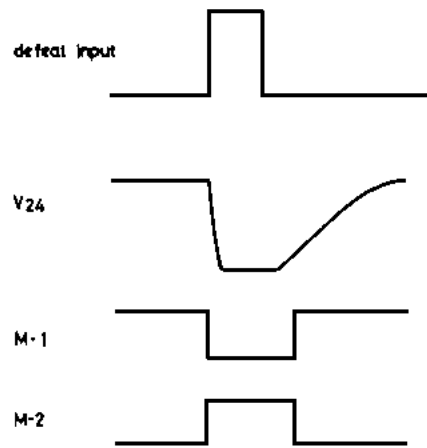


図4 デフィート入力時のミュート動作

2. 応用回路例

(1) シングルポテンシオメータ選局方式

プリセット ボリューム (V_d) を調整し、希望のチャネルを受信し、この時の PWM 値をメモリに入れ、次回の選局時に該当チャネルのメモリを呼び出して選局する方式であり、選局用ポテンシオメータが一個ですみスペース、コスト面でメリットがある。

応用回路例を 図5 に示す。

(2) オートサーチ選局方式

PWM 信号をスイープして、 MFT 出力および同期信号の有無により同期状態を検出し、正規の受信時の PWM 値を順次メモリに入れ、次回の選局時に該当チャネルのメモリを呼び出して選局する方式であり、プリセット等の同調操作は不要となる。CPU のプログラムは複雑になる。

応用回路例を 図6 に示す。

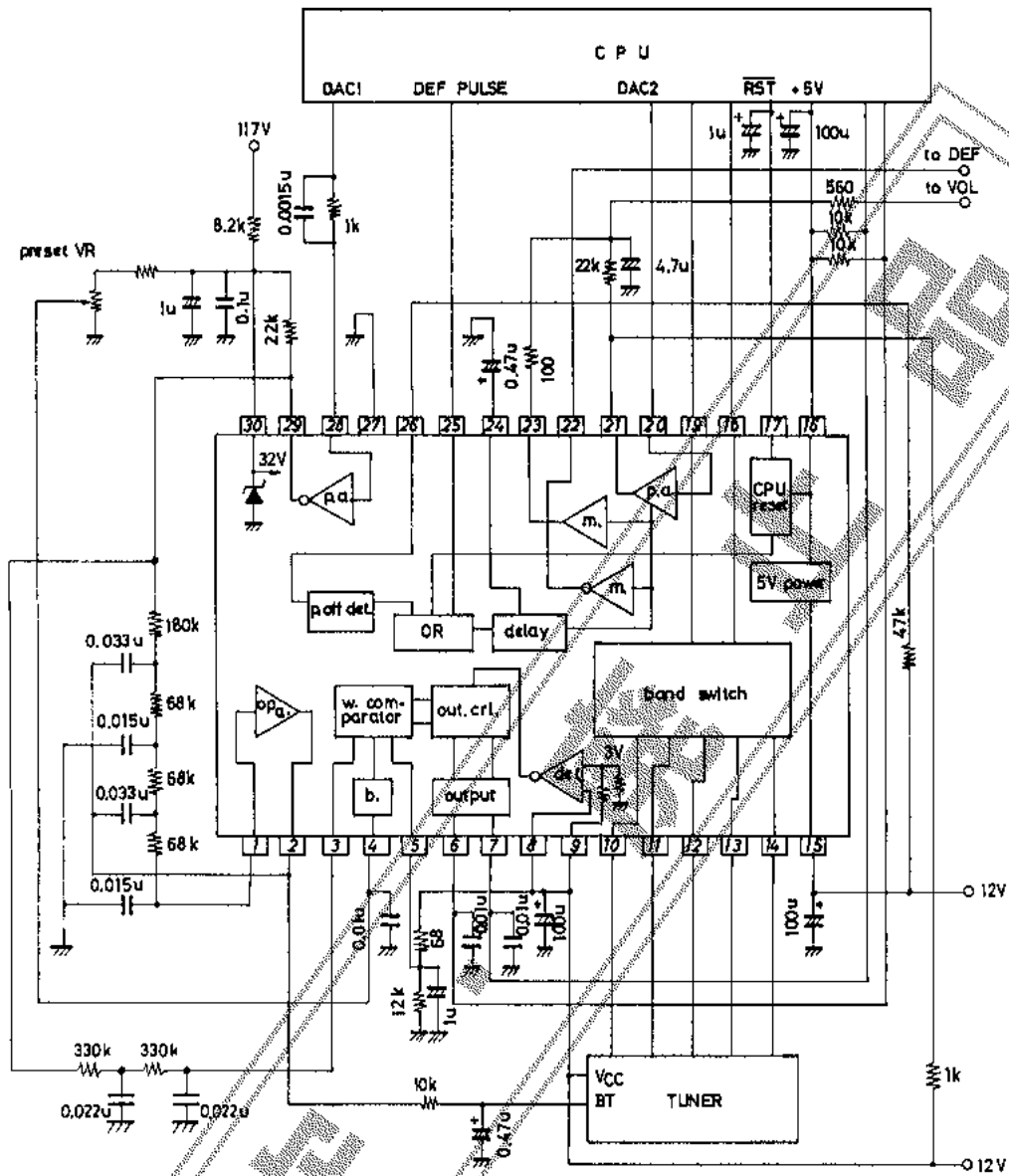


図6 シングルポテンシヨメータ選局方式 応用例

